

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02013/042647

発行日 平成27年3月26日 (2015. 3. 26)

(43) 国際公開日 平成25年3月28日 (2013. 3. 28)

(51) Int.Cl.	F I	テーマコード (参考)
A 6 1 B 1/04 (2006.01)	A 6 1 B 1/04 3 6 2 J	2 H 0 4 O
G 0 2 B 23/24 (2006.01)	A 6 1 B 1/04 3 7 2	4 C 1 6 1
	G 0 2 B 23/24 B	

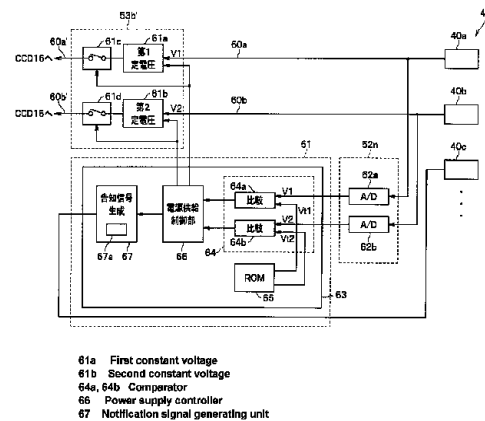
審査請求 有 予備審査請求 未請求 (全 42 頁)

出願番号	特願2013-514487 (P2013-514487)	(71) 出願人	304050923
(21) 国際出願番号	PCT/JP2012/073787		オリンパスメディカルシステムズ株式会社
(22) 国際出願日	平成24年9月18日 (2012. 9. 18)		東京都渋谷区幡ヶ谷2丁目43番2号
(11) 特許番号	特許第5298259号 (P5298259)	(74) 代理人	100076233
(45) 特許公報発行日	平成25年9月25日 (2013. 9. 25)		弁理士 伊藤 進
(31) 優先権主張番号	特願2011-207465 (P2011-207465)	(74) 代理人	100101661
(32) 優先日	平成23年9月22日 (2011. 9. 22)		弁理士 長谷川 靖
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100135932
			弁理士 篠浦 治
		(72) 発明者	大河 文行
			東京都渋谷区幡ヶ谷2丁目43番2号 オ
			リンパスメディカルシステムズ株式会社内
		(72) 発明者	小西 純
			東京都渋谷区幡ヶ谷2丁目43番2号 オ
			リンパスメディカルシステムズ株式会社内
			最終頁に続く

(54) 【発明の名称】 内視鏡

(57) 【要約】

内視鏡は、挿入部の先端部に搭載された撮像素子と、撮像素子を駆動するための複数の異なる電源電圧を有する電源、撮像素子を駆動する駆動信号、駆動信号で駆動された撮像素子から出力される撮像信号、及びグラウンドレベルを伝達する配線と、配線の中継するコネクタを設けた基板と、複数の異なる電源電圧を比較する電圧比較部と、電圧比較部の比較結果に基づき、撮像素子への電源供給を制御する電源供給制御手段と、を備える。



【特許請求の範囲】**【請求項 1】**

挿入部の先端部に搭載された撮像素子と、

前記撮像素子を駆動するための複数の異なる電源電圧を有する電源、前記撮像素子を駆動する駆動信号、該駆動信号で駆動された前記撮像素子から出力される撮像信号、及びグラウンドレベルを伝達する配線と、

前記配線の中継するコネクタを設けた基板と、

前記複数の異なる電源電圧を比較する電圧比較部と、

前記電圧比較部の比較結果に基づき、前記撮像素子への電源供給を制御する電源供給制御部と、

を備えることを特徴とする内視鏡。

10

【請求項 2】

前記電圧比較部は、前記基板に設けられ、前記電圧比較部は、前記複数の電源電圧とそれぞれ所定の閾値とを比較することにより、各電源電圧が正常な電圧の範囲内であるか否かの比較結果を出力し、前記電源供給制御部は、前記基板に設けられ、前記電源供給制御部は、前記比較結果が前記正常な電圧の範囲内の場合には、前記撮像素子への電源供給を行うように制御し、前記比較結果が前記正常な電圧の範囲外の場合には、前記撮像素子への電源供給を停止するように制御することを特徴とする請求項 1 に記載の内視鏡。

【請求項 3】

前記電源供給制御部は、前記比較結果が前記正常な電圧の範囲外となる異常電圧の場合には、前記異常電圧の発生を告知する告知信号を、前記内視鏡が着脱自在に接続され、前記撮像素子に対する信号処理を行う信号処理装置に送信する告知信号送信部を有することを特徴とする請求項 2 に記載の内視鏡。

20

【請求項 4】

さらに、前記複数の異なる電源電圧から、前記複数の異なる電源電圧とはそれぞれ異なる複数の第 2 の電源電圧を生成する電源生成部を有し、前記比較結果が前記正常な電圧の範囲外となる異常電圧の場合には、前記電圧比較部は、前記異常電圧が入力される電源生成部の動作を停止することを特徴とする請求項 3 に記載の内視鏡。

【請求項 5】

前記電圧比較部及び前記電源供給制御部は、プログラム可能に構築される F P G A を用いて構成されることを特徴とする請求項 4 に記載の内視鏡。

30

【請求項 6】

前記電源供給制御部は、前記告知信号を、該告知信号以外の他の信号に重畳して前記内視鏡が着脱自在に接続される前記信号処理装置に送信する告知信号重畳部を有することを特徴とする請求項 5 に記載の内視鏡。

【請求項 7】

さらに、前記複数の第 2 の電源電圧を比較する第 2 の電圧比較部を有し、前記電源供給制御部は前記第 2 の電圧比較部の比較結果に基づき、前記撮像素子への電源供給を制御することを特徴とする請求項 6 に記載の内視鏡。

【請求項 8】

40

さらに、前記コネクタにおける隣接する 2 つのコネクタ接点ピンによりそれぞれ中継された前記複数の異なる電源電圧を有する電源における異なる 2 つの電源電圧間の差電圧を生成する減算回路と、前記減算回路により生成された前記差電圧と、前記 2 つのコネクタ接点ピン間の短絡ないしは絶縁不良を検出するために設定された閾値とを比較する比較回路とを備え、前記電源供給制御部は、前記比較回路による比較結果に基づいて、前記撮像素子への電源供給を制御することを特徴とする請求項 1 に記載の内視鏡。

【請求項 9】

さらに、前記コネクタにおける隣接する 2 つのコネクタ接点ピンによりそれぞれ中継された前記複数の異なる電源電圧を有する電源における異なる 2 つの電源電圧間の差電圧を生成する減算回路と、前記減算回路により生成された前記差電圧と、前記 2 つのコネクタ

50

接点ピン間の短絡ないしは絶縁不良を検出するために設定された閾値とを比較する比較回路とを備え、前記電源供給制御部は、前記比較回路による比較結果に基づいて、前記撮像素子への電源供給を制御することを特徴とする請求項 3 に記載の内視鏡。

【請求項 10】

さらに、前記コネクタにおける隣接する 2 つのコネクタ接点ピンによりそれぞれ中継された前記複数の異なる電源電圧を有する電源における異なる 2 つの電源電圧間の差電圧を生成する減算回路と、前記減算回路により生成された前記差電圧と、前記 2 つのコネクタ接点ピン間の短絡ないしは絶縁不良を検出するために設定された閾値とを比較する比較回路とを備え、前記電源供給制御部は、前記比較回路による比較結果に基づいて、前記撮像素子への電源供給を制御することを特徴とする請求項 6 に記載の内視鏡。

10

【請求項 11】

さらに、前記基板は、前記内視鏡が着脱自在に接続される外部装置内に設けられた電源回路から前記電源生成部に供給される前記電源の電源電流が所定値以上の過大電流で有るかを検知する過大電流検知回路を有し、前記過大電流検知回路が過大電流を検知した場合には、過大電流を検知した電源電流を遮断することを特徴とする請求項 4 に記載の内視鏡。

【請求項 12】

さらに、前記基板は、前記内視鏡が着脱自在に接続される外部装置内に設けられた電源回路から前記電源生成部に供給される前記電源の電源電流が所定値以上の過大電流で有るかを検知する過大電流検知回路を有し、前記過大電流検知回路が過大電流を検知した場合には、過大電流を検知した電源電流を遮断することを特徴とする請求項 8 に記載の内視鏡。

20

【請求項 13】

さらに、前記基板は、前記内視鏡が着脱自在に接続される外部装置内に設けられた電源回路から前記電源生成部に供給される前記電源が ON、OFF される場合、前記電源が OFF されたタイミングから短い時間 t_1 後に前記電源生成部が生成する前記複数の第 2 の電源電圧を遮断し、前記電源が ON されたタイミングから前記時間 t_1 より大きい時間 t_2 後に前記電源生成部が生成する前記複数の第 2 の電源電圧を出力させるように ON にする電源 ON / OFF 制御回路を有することを特徴とする請求項 4 に記載の内視鏡。

【請求項 14】

前記基板は、前記内視鏡が前記信号処理装置に着脱自在に接続されるコネクタ内に設けられたコネクタ基板と、前記内視鏡の挿入部の先端部に設けられ、前記撮像素子が接続される先端部基板とを有し、前記配線は前記コネクタ基板と前記先端部基板間を着脱自在に接続することを特徴とする請求項 3 に記載の内視鏡。

30

【請求項 15】

前記基板は、前記内視鏡が前記信号処理装置に着脱自在に接続されるコネクタ内に設けられたコネクタ基板と、前記内視鏡の挿入部の先端部に設けられ、前記撮像素子が接続される先端部基板とを有し、前記配線は前記コネクタ基板と前記先端部基板間を着脱自在に接続することを特徴とする請求項 8 に記載の内視鏡。

【請求項 16】

前記基板は、さらに前記内視鏡における前記挿入部の基端に設けられた操作部内に配置された操作部基板を有し、前記配線は前記コネクタ基板と前記操作部基板間を着脱自在に接続する第 1 のケーブルと、前記操作部基板と前記先端部基板間を着脱自在に接続する第 2 のケーブルとを備えて構成されることを特徴とする請求項 15 に記載の内視鏡。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は撮像素子を備えた内視鏡に関する。

【背景技術】

50

【 0 0 0 2 】

近年、医療用分野及び工業用分野において撮像素子を設けた内視鏡が広く用いられるようになってきている。

内視鏡は、体腔内等への挿入性を確保するために、細径の挿入部を有するものが望まれる。

また、挿入部の先端部に搭載される撮像素子も小型のサイズのものが用いられる。撮像素子を駆動するためには、電圧が異なる複数の電源と、撮像素子を電氣的に駆動する駆動信号と、駆動信号の印加により撮像素子から出力される撮像信号などを伝送する複数の信号線からなるケーブルを挿入部に挿通することが必要になる。

また、内視鏡検査の用途に応じて固体撮像素子の画素数などが異なる各種の内視鏡が実用化され、内視鏡が着脱自在に接続される信号処理装置としてのプロセッサ側の負担も大きくなる。

10

【 0 0 0 3 】

このため、個々の内視鏡側に、その内視鏡に搭載されている撮像素子に対応した駆動信号を生成し、かつ撮像素子から出力される撮像信号に対してその撮像素子に適した前処理を行う回路基板（単に基板とも言う）を設けることにより、種類が異なる内視鏡の場合にも、負担を軽減した共通のプロセッサを用いて内視鏡検査を行うようにすることが望まれる。

内視鏡内部に基板を設ける場合、良好な組立性等を確保するためには、ケーブル（配線）を中継する小型のコネクタも必要になり、小型のコネクタを用いた場合には、隣接するコネクタ接点ピン間の間隔も小さくなる。このため、コネクタ接点ピン間の短絡などに対応した対策が必要になる。

20

【 0 0 0 4 】

例えば日本国特開 2 0 0 8 - 3 0 7 2 9 3 号公報の第 1 の従来例には、挿入部の先端部に搭載される撮像素子と回路基板を備えた撮像装置としてグラウンド信号線結束部をずらした位置に配置して、撮像装置へのケーブルの半田付け作業を行い易い構造にしている。

【 0 0 0 5 】

また、日本国特開 2 0 0 8 - 2 9 5 5 8 9 号公報の第 2 の従来例には、スタンバイ状態においても電圧検知機能を動作させるように駆動電源の電圧値の変化を検出する内視鏡装置が開示されている。

30

【 0 0 0 6 】

しかしながら、上述した第 1 及び第 2 の従来例とも、コネクタ接点ピン間の短絡に対応していない。例えば異なる電源電圧に接続されたコネクタ接点ピン間が短絡に近い異常状態であるが、内視鏡画像上では直ちに異常とならないような場合がある。このような場合には、その内視鏡が内視鏡検査に継続して使用されてしまう可能性がある。

このような状態で、内視鏡検査に使用すると、熱傷が発生したり、発熱などのために温度に対する耐性が弱い電子部品等が損傷する等して内視鏡検査中に内視鏡画像が表示できなくなるような不具合が発生する可能性がある。

【 0 0 0 7 】

このため、このような異常状態を速やかに検出でき、その異常状態を速やかに解消する対策を施すことができ、内視鏡検査中での不具合の発生を低減できる内視鏡装置が望まれる。

40

本発明は上述した点に鑑みてなされたもので、小型のコネクタを用いて複数の電源電圧で撮像素子を駆動したり、基板内の回路を動作させるような場合においても、短絡等による電源電圧の異常状態を速やかに検出して、異常状態を解消し易い内視鏡を提供することを目的とする。

【 発明の開示 】

【 課題を解決するための手段 】

【 0 0 0 8 】

本発明の一態様の内視鏡は、挿入部の先端部に搭載された撮像素子と、前記撮像素子を

50

駆動するための複数の異なる電源電圧を有する電源、前記撮像素子を駆動する駆動信号、該駆動信号で駆動された前記撮像素子から出力される撮像信号、及びグラウンドレベルを伝達する配線と、前記配線の中継するコネクタを設けた基板と、前記複数の異なる電源電圧を比較する電圧比較部と、前記電圧比較部の比較結果に基づき、前記撮像素子への電源供給を制御する電源供給制御部と、を備える。

【図面の簡単な説明】

【0009】

【図1】図1は本発明の第1の実施形態における内視鏡装置の全体構成を示す図。

【図2A】図2Aは第1の実施形態の内視鏡における電気系の構成を示す図。

【図2B】図2Bは図2Aの内視鏡と一部が異なる内視鏡における電気系の構成を示す図

10

。【図2C】図2Cは図2Aにおけるマイクロコネクタ基板の裏面を示す図。

【図2D】図2Dはコネクタ基板を1枚のA/D基板により形成した内視鏡における電気系の構成を示す図。

【図2E】図2Eは静電気等から保護する入力保護回路の回路構成を示す回路図。

【図3】図3は図2Aの具体的な構成を示す図。

【図4A】図4AはCCD電源電圧監視回路の構成を示す図。

【図4B】図4Bは図4Aの変形例のCCD電源電圧監視回路の構成を示す図。

【図4C】図4CはCCD電源電圧監視回路と共に、CCDとタイミングジェネレータの電源電圧の過電流を検知する過電流検知回路が設けられた構成を示す図。

20

【図4D】図4Dは内視鏡内において電源ON/OFF制御する場合の特性を示す図。

【図4E】図4Eは、図4Dの特性で電源ON/OFF制御する場合の回路構成を示す図

。【図5A】図5AはFPGAからタイミングジェネレータに接続されたケーブルを駆動する駆動手段の構成を示す図。

【図5B】図5Bは電源ON/OFFの際にプロセッサ側から送信される特定のパルス信号に基づいて、内視鏡側での電源ON/OFF等の制御を行うタイミングを示す図。

【図5C】図5Cはプロセッサ側から入力されるクロックに対応した出力クロックを生成する場合のクロックを確定させる動作等を行うCLK確定判定回路の構成を示す図。

【図5D】図5Dは垂直同期信号出力回路の構成を示すブロック図。

30

【図5E】図5Eは、図5Dの動作説明図。

【図6A】図6AはCCDと接続されたケーブルがマイクロコネクタを介して中継された構造を示す図。

【図6B】図6Bはマイクロコネクタにより各種の信号線の中継する場合のコネクタ接点ピンの配置例を示す図。

【図7】図7はマイクロコネクタ基板における各種の信号線の半田付け部分を樹脂でコーティングする様子の説明図。

【図8A】図8Aはインタフェース基板におけるプリントパターンの露出する回路部分を樹脂でコーティングする様子の説明図。

【図8B】図8Bは、図8Aにおける樹脂でコーティングされる入力回路部の回路構成を示す図。

40

【図8C】図8CはCCDを間欠駆動した場合のアンプに入力されるCCD出力信号の波形を示す図。

【図8D】図8Dは休止領域の信号をクリップしてCCDの有効画素領域の信号を増幅するアンプの回路構成を示す図。

【図9】図9は特定のコネクタ接点ピン間に未接続のコネクタ接点ピンを設けたマイクロコネクタを示す図。

【図10A】図10Aはダミー部品を用いて腐食の発生を検出する腐食異常検出装置の構成を示す図。

【図10B】図10Bは図10Aの変形例のダミー部品の構成を示す図。

50

【図 1 1】図 1 1 は図 4 A の変形例の C C D 電源電圧監視回路の構成を示す図。

【図 1 2】図 1 2 は図 4 A の他の変形例の C C D 電源電圧監視回路の構成を示す図。

【発明を実施するための最良の形態】

【0010】

以下、図面を参照して本発明の実施形態を説明する。

(第 1 の実施形態)

図 1 に示すように本発明の第 1 の実施形態を備えた内視鏡装置 1 は、撮像素子を備えた内視鏡 2 A と、内視鏡 2 A が着脱自在に接続され、内視鏡 2 A に照明光を供給する光源装置 3 と、内視鏡 2 A が着脱自在に接続され、信号処理などを行う信号処理装置としてのプロセッサ 4 と、プロセッサ 4 により生成された画像信号を内視鏡画像として表示する表示装置としてのモニタ 5 とを備える。

10

光源装置 3 , プロセッサ 4 には、図 1 に示す内視鏡 2 A の他に、図 2 B に示す内視鏡 2 B も着脱自在に接続でき、内視鏡 2 A の場合と同様に内視鏡検査に使用することができる。なお、図 1 における点線で示す構成に関しては、後述する。

【0011】

内視鏡 2 A は、体腔内に挿入される細長の挿入部 6 と、この挿入部 6 の後端に設けられた操作部 7 と、この操作部 7 から延出されたユニバーサルコード 8 とを有する。ユニバーサルコード 8 は、その基端付近又は途中でライトガイドコード 9 と、信号コード (信号ケーブル) 1 0 に分岐する。ライトガイドコード 9 の端部の光源用コネクタ 1 1 は、光源装置 3 に着脱自在に接続され、信号コード 1 0 の端部の信号用コネクタ 1 2 は、内視鏡 2 A , 2 B の外部装置としてのプロセッサ 4 に着脱自在に接続される。

20

挿入部 6 、操作部 7 , ユニバーサルコード 8 内には照明光を伝送するライトガイド 1 3 が挿通されている。そして、光源用コネクタ 1 1 を光源装置 3 に接続することにより、光源装置 3 からの照明光をライトガイド 1 3 により伝送し、挿入部 6 の先端部 1 4 に設けられた照明窓に取り付けられたライトガイド先端面から、伝送した照明光を出射する。また、光源用コネクタ 1 1 と信号用コネクタ 1 2 とが一体となったコネクタを光源装置 3 に接続し、信号用コネクタ 1 2 の信号を、光源装置 3 とプロセッサ 4 を接続するケーブルにより、プロセッサ 4 とやり取りする構成にしても良い。

【0012】

先端部 1 4 には照明窓に隣接して観察窓 (撮像窓) が設けられ、観察窓には照明された患部等の被写体の光学像を結ぶ対物レンズ 1 5 が取り付けられている。この対物レンズ 1 5 の結像位置には撮像素子としての電荷結合素子 (C C D と略記) 1 6 が配置されている。

30

本実施形態においては、先端部 1 4 内における C C D 1 6 近傍付近には C C D 1 6 を駆動する駆動信号を生成する駆動信号生成回路としてのタイミングジェネレータ (T G と略記) 1 7 を含む先端部基板 1 8 が配置されている。

先端部基板 1 8 は、挿入部 6 内に挿通された総合同軸ケーブル 2 1 を介して操作部 7 内に設けた操作部基板 2 2 と接続され、この操作部基板 2 2 は、ユニバーサルコード 8 内に挿通された総合同軸ケーブル 2 3 を介して信号用コネクタ 1 2 の内部に設けたコネクタ基板 2 4 と接続される。

40

【0013】

また、このコネクタ基板 2 4 は、細線同軸ケーブル 2 5 を介して、プロセッサ 4 に着脱自在に接続されるコネクタ 2 6 に接続される。

なお、上記総合同軸ケーブル 2 1 , 2 3 、細線同軸ケーブル 2 5 は、C C D 1 6 に電源、駆動信号等を伝送 (伝達) する配線を構成する。上記細線同軸ケーブル 2 5 は、内視鏡組立のために細線同軸ケーブル 2 5 部分を絞って、フォーミングされる。

絞った際に、信号伝送に用いる L V D S (Low Voltage Differential Signaling) ペアが離れて放射ノイズを増大させることが懸念され、放射ノイズを低減するために細線同軸ケーブル 2 5 としてツインナックスを用いている。なお、コネクタ 2 6 は、図 2 A において説明するように 2 つの基板を含む。

50

【 0 0 1 4 】

プロセッサ 4 は、撮像素子等の動作に必要な複数の異なる電源電圧の電源を発生する電源回路 2 7 と、撮像素子から出力される撮像信号に対する信号処理を行う信号処理回路 2 8 と、電源回路 2 7 及び信号処理回路 2 8 を含む制御を行う制御回路 2 9 とを備える。

図 2 A は図 1 における内視鏡 2 A の電気系の構成を示す。

先端部基板 1 8 に一端（先端）が半田付けで接続された総合同軸ケーブル 2 1 の他端（後端）は小型のコネクタとしてのマイクロコネクタ（M C と略記）3 1 を搭載した M C 基板 3 2 に半田付けで接続され、この M C 基板 3 2 の M C 3 1 は、操作部基板 2 2 のマイクロコネクタ受け（M C 受けと略記）3 3 に接続される。なお、先端部基板 1 8 と総合同軸ケーブル 2 1 とを M C , M C 受けで接続しても良い。M C 基板 3 2 は、点線で示すシールドケース 3 2 a により、メカニカルにも操作部基板 2 2 に固定される。なお、先端部基板 1 8 に接続された総合同軸ケーブル 2 1 は、操作部基板 2 2 において中継されて総合同軸ケーブル 2 3 と接続され、この総合同軸ケーブル 2 3 の基端はコネクタ基板 2 4 に接続されるが、総合同軸ケーブル 2 1 、 2 3 の総合ケーブル G N D と、この総合ケーブル G N D によりシールドされたその内側に配置されている各信号用の同軸ケーブルの G N D とは内視鏡 2 A における挿入部 6 から信号コード 1 0 の基端までの範囲にわたって分離されている。

10

【 0 0 1 5 】

また、操作部基板 2 2 に一端（先端）が半田付けで接続された総合同軸ケーブル 2 3 の他端（後端）は M C 基板 3 4 に半田付けで接続され、この M C 基板 3 4 に搭載された小型のコネクタとしての M C 3 5 は、コネクタ基板 2 4 を構成するインタフェース基板（I F 基板と略記）2 4 A の M C 受け 3 6 に接続される。

20

この I F 基板 2 4 A に設けたコネクタ受け 3 7 には細線同軸ケーブル 3 8 の一端に設けたコネクタ 3 8 a が接続され、その他端のコネクタ 3 8 b はアナログ・デジタル変換回路（A / D と略記）を搭載した A / D 基板 2 4 B のコネクタ受け 3 9 に接続される。また、この A / D 基板 2 4 B に設けた小型のコネクタ受けとしてのコネクタ受け 4 0 には細線同軸ケーブル 2 5 の一端に設けた小型のコネクタとしてのコネクタ 2 5 a が接続され、その他端のコネクタ 2 5 b は、コネクタ 2 6 内のサイズが大きい方の丸型基板 4 1 のコネクタ受け 4 1 a に接続される。この丸型基板 4 1 はコネクタ 4 1 b 、コネクタ受け 4 2 a を介してサイズが小さい方の丸型基板 4 2 に接続される。

30

【 0 0 1 6 】

丸型基板 4 1 、 4 2 は、コネクタプラグ 2 6 a と半田付けで接続される。コネクタプラグ 2 6 a は、プロセッサ 4 のコネクタレセプタクル（コネクタ受け）に着脱自在に接続される。

なお、図 2 A においては、コネクタ基板 2 4 は、I F 基板 2 4 A と A / D 基板 2 4 B との 2 枚で形成されているが、後述する図 2 D で示す内視鏡第 2 C においては、コネクタ基板 2 4 は 1 枚の A / D 基板 2 4 C により構成され、この A / D 基板 2 4 C は、I F 基板 2 4 A の機能を含む。

また、図 2 A に示すようにコネクタ基板 2 4 を、I F 基板 2 4 A と A / D 基板 2 4 B との 2 枚の構成にした場合、I F 基板 2 4 A 側にはケーブル長、ケーブル長の補正情報、ケーブル長等の検知回路等を格納した R O M を設け、A / D 基板 2 4 B 側には C C D 1 6 の画素数、種類等に関する情報を格納した R O M を設けるようにしても良い。なお、A / D 基板 2 4 B の種類が増えた場合に対しても、I F 基板 2 4 A 側で C C D 1 6 、ケーブルに関する情報を全て纏めて保持するようにし、A / D 基板 2 4 B の種類を減らすようにしても良い。

40

【 0 0 1 7 】

一方、後述する 1 枚の A / D 基板 2 4 C の場合には、ケーブル長、そのケーブル長の補正情報、ケーブル長等の検知回路、C C D の種類等に関する情報を纏めて搭載するようにしても良い。

図 2 A において点線で示すように総合同軸ケーブル 2 1 は、挿入部 6 の外装部材による

50

シールド部材により 4 4 a によりシールドされている。また、このシールド部材 4 4 a は、操作部 7 の外装部材によるシールド部材 4 4 b と電氣的に接続される。このシールド部材 4 4 b は、ユニバーサルコード 8 の外装部材によるシールド部材 4 4 c と電氣的に接続されている。そして、シールド部材 4 4 c は、さらに信号用コネクタ 1 2 のシールド部材に接続される。

【 0 0 1 8 】

なお、図 2 A においては、信号用コネクタ 1 2 のシールド部材としては、I F 基板 2 4 A、及び A / D 基板 2 4 B をそれぞれシールド部材 4 4 d、4 4 e でシールドしている。

これらのシールド部材は信号用コネクタ 1 2 内の I F 基板 2 4 A、又は A / D 基板 2 4 B における 1 点又は複数の点でグラウンドと導通（図示略）させている。

また、I F 基板 2 4 A に設けたコネクタ受け 4 5 にはフレキシブル基板により構成されたスイッチフレキ基板 4 6 のコネクタ 4 6 a が接続される。このスイッチフレキ基板 4 6 は、スイッチケーブルの一端が半田付けされ、このスイッチケーブルの他端は、操作部 7 に取り付けられるスコープスイッチ 4 7 を構成するフレキ基板 4 7 a に半田付けで接続される。

【 0 0 1 9 】

このフレキ基板 4 7 a のコネクタ 4 7 b は、スイッチボックスフレキ基板 4 7 c のコネクタ受け 4 7 d に接続される。スイッチボックスフレキ基板 4 7 c のコネクタ受け 4 7 e にはさらにスイッチを中継するスイッチ中継フレキ基板 4 7 f のコネクタ 4 7 g が接続される。また、内視鏡 2 A において、内視鏡挿入形状を検出する挿入形状検出ユニット（U P D ユニットと略記）4 8 を備えたものもある。

この場合には、信号用コネクタ 1 2 の丸型基板 4 2 には、図 2 A における 2 点鎖線で示すように U P D ユニット 4 8 の U P D フレキ基板 4 8 a が接続され、この U P D フレキ基板 4 8 a は中継する U P D 中継基板 4 8 b を介して U P D 基板 4 8 c と接続される。この U P D 基板 4 8 c は、挿入部 6 内に配置される U P D プローブユニット 4 8 d と接続される。

【 0 0 2 0 】

内視鏡 2 A において、さらに対物レンズ 1 5 の焦点を切り替える図示しない焦点切替ユニットを備えたものも用意されており、この場合には対物レンズ 1 5 の焦点を切り替えるアクチュエータを駆動する駆動基板が丸型基板 4 1 に接続される。

なお、M C 基板 3 2、3 4、操作部基板 2 2、I F 基板 2 4 A、A / D 基板 2 4 B、丸型基板 4 1、4 2、U P D 中継基板 4 8 b、U P D 基板 4 8 c は、リジット基板であり、フレキ基板 4 7 a、スイッチボックスフレキ基板 4 7 c、スイッチ中継フレキ基板 4 7 f は、フレキシブル基板により構成される。

上述した内視鏡 2 A において、操作部 7 に操作部基板 2 2 を設けていない内視鏡を図 2 B に示す。

この内視鏡 2 B には、操作部 7 に操作部基板 2 2 を設けてないので、総合同軸ケーブル 2 1 の他端は、信号用コネクタ 1 2 内の M C 3 4 と接続される。

【 0 0 2 1 】

また、内視鏡 2 A との部品の共通化を達成するために、I F 基板 2 4 A には操作部基板 2 2 と同等の操作部基板 2 2 ' の機能を搭載されている。そして、内視鏡 2 B においては、この I F 基板 2 4 A の操作部基板 2 2 ' を動作状態又は活性状態（図 2 B において実線で示している）にすることにより、A / D 基板 2 4 B は、操作部 7 に操作部基板 2 2 が設けていない内視鏡 2 B の場合にも、内視鏡 2 A の場合と同じ処理を行うことで、いずれの内視鏡 2 A、2 B の場合にも対応できるようにしている。

内視鏡 2 A に搭載された I F 基板 2 4 A においては、I F 基板 2 4 A 内の操作部基板 2 2 ' の機能を無効にしている（図 2 A では点線で示している）。内視鏡 2 B におけるその他の構成は、内視鏡 2 A と同じであるため、A / D 基板 2 4 B 等の図示を省略している。なお、I F 基板 2 4 A と A / D 基板 2 4 B は、後述する L P F 5 2 i の前で分離している

10

20

30

40

50

。

【 0 0 2 2 】

なお、図 2 A における M C 基板 3 2 における (M C 3 1 が設けられた面を表面としてその) 裏面を図 2 C に示す。M C 基板 3 2 における裏面には、全面が金属面となるベタグラウンド面 3 2 b が形成されている。そして、M C 3 1、M C 受け 3 3 間によるグラウンド (電位) の接続と共に、ベタグラウンド面 3 2 b に当接するシールドケース 3 2 a によってもグラウンドの電氣的接続を行うことができるようにして、不要なノイズ放射等を低減できるようにしている。なお、上述したシールド部材の導電性が良好な場合には、上記のように全面が金属面となるベタグラウンド面 3 2 b を形成するパターンにし、シールド部材の導電性が悪い部分でベタグラウンド面 3 2 b との電氣的接続がばらつく場合には、ベタグラウンド面 3 2 b を無くす構成にしても良い。また、ベタグラウンド面 3 2 b は、シールド部材とのメカニカル接点が取れる金属面があれば、全面のベタグラウンド面 3 2 b で無く一部に設けたグラウンド面にしても良い。

10

また、本実施形態においては、図 2 A、図 2 B で示す内視鏡 2 A、2 B の他に、図 2 D に示すようにコネクタ基板 2 4 を (I F 基板 2 4 A と A / D 基板 2 4 B との 2 枚の構成でなく)、A / D 基板 2 4 C のみとした内視鏡 2 C の構成にしても良い。この内視鏡 2 C は、図 2 B の場合と同様に操作部 7 には操作部基板 2 2 が設けてない構成である。

【 0 0 2 3 】

その他の構成は、図 2 B に示す内視鏡 2 B と殆ど同じ構成であるため、同一の構成要素には同じ符号を付け、その説明を省略する。プロセッサ 4 には、この内視鏡 2 C も着脱自在に接続してすることができ、プロセッサ 4 はこの内視鏡 2 C が接続された場合にも、内視鏡 2 A 又は 2 B が接続された場合と同様に、内視鏡 2 C に搭載された撮像素子等に対応した処理を行う。

20

なお、コネクタ 2 6 における例えば丸型基板 4 1 には図 2 E に示すように内視鏡 2 A 内の回路を静電気等の過大な電圧から保護する入力保護回路 2 0 が設けてある。プロセッサ 4 側からコネクタプラグ 2 6 a を介して内視鏡 2 A に入力される信号は、バッファ 2 0 a を介してコネクタ基板 2 4 側に出力される。

このバッファ 2 0 a の入力端は、過大な電圧を所定電圧にするツェナーダイオード (定電圧ダイオード) 2 0 b 及びブルダウンする抵抗 2 0 c により保護されている。つまり、バッファ 2 0 a の入力端は、カソードが接続されたツェナーダイオード 2 0 b により、そのアノードが接地されると共に、抵抗 2 0 c を介して接地されている。

30

【 0 0 2 4 】

そして、コネクタプラグ 2 6 a に静電気等の過大な電圧が入力された場合には、ツェナーダイオード 2 0 b により許容される所定電圧のツェナー電圧に電圧降下させると共に、抵抗 2 0 c によってもグラウンド側に放電し、過大な電圧を速やかに低減する。なお、ツェナーダイオード 2 0 b のツェナー電圧は許容される所定電圧 (例えば 1 0 V 程度) に設定され、また抵抗 2 0 c は実際に入力される信号に対しては、小さな負荷となるような抵抗値に設定される。

図 2 E では 1 つの入力保護回路 2 0 を示しているが、コネクタプラグ 2 6 a を介してコネクタ基板 2 4 側に入力される複数の信号に対して同様の入力保護回路 2 0 を設けるようにしても良い。

40

【 0 0 2 5 】

なお、内視鏡 2 A からコネクタプラグ 2 6 a を介してプロセッサ 4 側に信号を出力する場合に対しても、信号を出力するバッファの出力端にツェナーダイオード及び抵抗 2 0 c を設けてバッファの出力端を静電気等の過大な電圧から保護するようにしても良い。

図 3 は、内視鏡 2 A における電気系の詳細な構成を示す。A / D 基板 2 4 B 内には、プログラム可能な L S I (大規模集積回路) としての Field-Programmable Gate Array (F P G A と略記) 5 1 が設けられ、この F P G A 5 1 は C C D 1 6 を駆動するための同期信号の伝送制御、各種のタイミング信号に対する伝送処理、C C D 1 6 から出力される撮像信号から高速の信号伝送を行う信号形態に変換する処理、電源電圧に対する処理などを担

50

う。

【0026】

そして、FPGA51はコネクタ25aを介してプロセッサ4（の信号処理回路28及び制御回路29）側と、JTAGSEL、VD/TMS、HD/TCK、REG__TXD/TDO、REG__RXD/TDI、NCJD1,2,SC__CLK__EN、CLK±、映像出力（LVDS）の送受を行う。

また、A/D基板24Bには、プロセッサ4の電源回路27から複数の電源電圧の電源が供給される。

JTAGSELは、JTAG（Joint Test Action Group）を利用してプロセッサ4側からROM52cに格納するFPGA51のデータを書き換えるような場合において、利用する信号となる。

【0027】

また、VD、HDは垂直及び水平の同期信号を表し、それぞれTMS（Test Mode Select）、TCK（Test Clock）と選択的に使用される。

また、REG__TXDはFPGA51からプロセッサ4側に送信データを送信する場合の信号を表し、TDO（Test Data Out）の信号と選択的に使用される。

また、REG__RXDはプロセッサ4側からFPGA51が受信データを受信する場合の信号と、TDI（Test Data In）の信号と選択的に使用される。

NCJD1,2は、各内視鏡2Aに搭載されたCCD16の種類を検知するCCD検知抵抗52aからの信号を表す。

【0028】

また、SC__CLK__ENは、プロセッサ4から電源、クロックが立ち上がる場合に前もって（直前に）内視鏡2A側のFPGA51に通知するパルスの信号であり、またプロセッサ4の電源がOFFにされた場合にもそのOFFの信号を前もってFPGA51に通知し、内視鏡2A側で所定のシャットダウン処理を行えるようにする（後述の図5Bにおいて説明）。

CLK±は、プロセッサ4からFPGA51に供給されるクロックであり、FPGA51はCLK±に同期した動作を行う。CLK±は、小振幅、かつ低消費電力で比較的に高速の差動インタフェースとなるLVDSを採用している。

映像出力はFPGA51からプロセッサ4側にLVDSで出力される。

【0029】

JTAGSELの信号は、インバータ52bを介してFPGA51に入力されると共に、FPGAデータの書き込み用メモリとしてのROM52cに接続された信号線上に設けた3ステートバッファ52dの開閉を制御する。

VD/TMS、HD/TCK、REG__RXD/TDIの各信号は、FPGA51に入力端に入力されると共に、3ステートバッファ52dを介してROM52cの入力端に入力される。VD/TMSとHD/TCKはFPGA51の入力端にも入力する。

またFPGA51の出力端は、3ステートバッファ52dを介してREG__TXD/TDOの信号線に接続され、この信号線にはFPGA51の出力端も接続されている。

【0030】

また、ROM52cの入出力端は、3ステートバッファ52dを介すること無く、コネクタ52eと接続され、このコネクタ52eからROM52cに、FPGA51によりプログラム可能に構築するLSIを決定するプログラムデータとしてのFPGAデータの書き込みを行うことができるようにしている。また、ROM52cの入出力端は、FPGA51に接続されている。

【0031】

また、FPGA51には、内視鏡2Aの各固有の識別情報（ID）に関する情報（例えば機種名等）を格納したID用ROM52fが接続されている。

また、FPGA51には、FPGAに対して、CCD16の種類等を判別させるFPGA用CCD判別回路52gが接続されている。このFPGA用CCD判別回路52gは、

10

20

30

40

50

例えばCCD16の種類を判別させる抵抗値を持つ抵抗により構成される。

FPGA51は、CCD16を駆動する駆動信号を生成するのに必要な例えば4つの信号を操作部基板22内に設けたLVDSレシーバ54aに送信する。

LVDSレシーバ54aは、ドライバ54bを駆動し、ドライバ54bは、生成した水平転送信号φH及び垂直転送信号φVを先端部基板18のTG17に送信する。TG17は、4つの信号(例えばφS, φRS, φP, φPDN)からなるCCD駆動信号をCCD16に印加し、CCD16により光電変換された信号電荷を撮像信号として出力させるように駆動する。LVDSレシーバ54aと、ドライバ54bは、IF基板24Aにも配置してあって、操作部基板22を用いて駆動信号を生成する場合には、IF基板24A側に配置したLVDSレシーバ54aと、ドライバ54bとの回路をスルーする。一方、操作部基板22を用いない場合には、IF基板24A側に配置した上記回路を用いることでIF基板24Aの実装前の基板種を減らすことが可能になる。

【0032】

なお、図3においては、CCD16と、先端部基板18とを含めてSIP19として示している。

IF基板24Aは、操作部基板22に電源を供給する操作部基板電源回路53aを備え、操作部基板電源回路53aは、LVDSレシーバ54aと、ドライバ54bに動作に必要な電源を供給する。

また、IF基板24Aは、内視鏡2A内に設けられた電源生成手段としてのCCD・TG電源回路53bを備え、CCD・TG電源回路53bは、CCD16とTG17とに複数の電源電圧を供給する。図3の例ではCCD・TG電源回路53bは、CCD16には電源線60a'、60b'を介して異なる電源電圧の電源VDD1A, VDD1Bを供給し、TG17には、VDD2 - VDD4を供給する。

【0033】

本実施形態においては、CCD16は、4チャンネルの信号を出力する出力機能を有し、CCD16から出力される4チャンネルの撮像信号は、4つのトランジスタからなるトランジスタアレイ(図3ではTrアレイと略記)55から4チャンネル(図3ではAch, Bch, Cch, Dchと略記)の低インピーダスの撮像信号を出力する。

なお、CCD16の出力信号をトランジスタアレイ55に直接出力する代わりに、相関二重サンプリング回路を介してトランジスタアレイ55に出力する構成にしても良い。

4チャンネルの撮像信号は、IF基板24A内の第1のアナログ回路53cに入力される。第1のアナログ回路53cは、入力される撮像信号をそれぞれ増幅する4つのアンプ53dにより構成される。

【0034】

アンプ53dによりそれぞれ増幅された撮像信号は、A/D基板24B内の第2のアナログ回路52hに入力される。第2のアナログ回路52hも4チャンネルに対応して4チャンネル分の回路が設けてある。例えばDchの撮像信号は、LPF52i、黒レベルを基準としてクランプを行うクランプ回路52j、不要なレベルをクリップするクリップ回路52k、アンプ52lを経て第2のアナログ回路52hの出力信号となる。他のチャンネルも同様の構成である。

第2のアナログ回路52hの出力信号は、4チャンネルのA/D変換回路部(図3では単にA/Dと略記)52mに入力され、デジタルの撮像信号に変換される。なお、A/D変換回路部52mには、FPGA51からA/D変換を行うA/D変換用のクロックADCLKが印加され、A/D変換回路部52mは、このクロックADCLKに同期してA/D変換を行う。

【0035】

また、A/D変換回路部52mは、A/D変換した4チャンネルのA/D変換出力信号を6対のA/D変換出力信号(映像チャンネル、クロック、フレーム)にして、FPGA51に出力する。FPGA51は、4チャンネルの信号から3チャンネルの信号に変換し、プロセッサ4側に3チャンネルのLVDS方式での映像信号を出力する。LVDS方式

10

20

30

40

50

においても、EMIに対して配慮することが望ましい。具体的な内容は以下になる。
 内視鏡2Aに搭載したCCD16を駆動するに際し、映像信号の方式と同様に、水平方向のタイミングと垂直方向のタイミングを考慮する。このとき、水平方向においてCCD16を駆動してCCD16から信号を取り出している期間や、CCD16の駆動をせず信号も取り出さない期間が存在する。後者をHブランキングとすれば、HブランキングにおいてEMIに配慮すべく、駆動クロック(例えば30MHz)を分周して分周クロック(30MHzの1/2の15MHz)を生成して、Hブランキングに重畳させると良い。その場合、LVDSによって伝送する過程で、放射ノイズを抑制するように働く。垂直方向におけるVブランキングにおいても同様に、分周クロックを重畳させることが良い。また、電源回路27からの複数の電源電圧(図4Aに示すV1, V2を含む)で供給される電源は、電源線(60a, 60bを含む)を介してIF基板24A内のCCD・TG電源回路53b(内のCCD電源回路53b')に供給されると共に、A/D基板24B内のA/D変換回路部52nにより、デジタルの電圧に変換された後、FPGA51(により構築される図4Aに示すCCD電源電圧監視回路63)に出力される。

10

また、図3に示すようにコネクタ基板24における例えばA/D基板24B内には、このコネクタ基板24内の回路(具体的には第1のアナログ回路53cや第2のアナログ回路53h等)に動作に必要な電源電圧を発生する基板内回路用電源回路52pが設けてある。この基板内回路用電源回路52pは、プロセッサ4の電源回路27に接続された電源線60a, 60bから電源電圧として、後述する+5V__AFE1, -5V__AFE1, +5V__AFE2, -5V__AFE2等を生成する。

20

【0036】

また、操作部7のスコプスイッチ47は、ユニバーサルコード内の同軸ケーブル、信号用コネクタ12内の波形整形バッファを介してFPGA51に入力される。例えばスコプスイッチ47に設けられる4つのスイッチSW1-SW4のON/OFF信号と、アクチュエータを搭載した場合においては望遠(TELE)と広角(WIDE)の操作信号がFPGA51に入力される。これらスイッチ情報は、FPGA51でパラレル-シリアル変換され、制御信号ラインを介してプロセッサ4へ伝送される。

図4Aは、内視鏡2Aのコネクタ基板24内に設けられ、CCD16側に電源を供給する場合の電源電圧を監視するCCD電源電圧監視回路63の構成を示す。なお、図3に示すCCD・TG電源回路53bの場合のようにCCD16側と共に、TG17側にも電源を供給する場合の電源電圧も監視する構成にしても良い。

30

【0037】

細線同軸コネクタ受け40は、小型のコネクタ25aのコネクタ接点ピンとそれぞれ接触することにより、電氣的に接続されるコネクタ受け接点ピン40a, 40b, 40c, ...を有する。なお、コネクタ受け接点ピン40a, 40bとコネクタ受け接点ピン40cは、コネクタ25aを設けた細線同軸ケーブル25等を介して、プロセッサ4の電源回路27の電源出力端と制御回路29とにそれぞれ接続される。従って、コネクタ受け接点ピン40a, 40bにはプロセッサ4側の電源回路27から電源電圧(電圧と略記することもある)V1, V2の電源が供給される。

コネクタ受け接点ピン40aは、電源線60aを介して(入力される複数の異なる電源電圧V1, V2とは異なる複数の定電源電圧(定電圧と略記)を生成する電源生成手段としての)CCD電源回路53b'を形成する第1定電圧回路61aの入力端と接続され、コネクタ受け接点ピン40bは電源線60bを介してCCD電源回路53b'を形成する第2定電圧回路61bの入力端と接続されている。

40

第1定電圧回路61a、第2定電圧回路61bは、入力端に入力される電源電圧V1, V2からそれぞれ異なる所定の定電圧(図3ではVDD1A, VDD1B)に変換して、電源線60a', 60b'を介してCCD16の電源端にそれぞれ出力する。なお、電源線60a', 60b'はCCD16の電源端に至る途中において小型のコネクタとしてのMC31, 35等で中継される。

【0038】

50

また、電源線 60 a、60 b の電源電圧は、A/D 変換回路部 52 n を構成する A/D 変換回路 62 a、62 b により、デジタルの電圧に変換された後、FPGA 51 内（より具体的には FPGA 51 の一部により構築される）CCD 電源電圧監視回路 63 に入力される。

CCD 電源電圧監視回路 63 は、A/D 変換回路 62 a、62 b によりそれぞれ生成されたデジタルの電圧 V_1 、 V_2 と閾値 V_{t1} 、 V_{t2} とを比較する比較回路 64 a、64 b と、比較回路 64 a、64 b にそれぞれ閾値 V_{t1} 、 V_{t2} を出力する閾値を格納したメモリとしての ROM 65 と、比較回路 64 a、64 b の比較結果が入力されることにより、CCD 電源回路 53 b' による電源供給の動作を制御する電源供給制御部 66 とを備える。

10

【0039】

また、CCD 電源電圧監視回路 63 は、電源供給制御部 66 が電圧が異常であるとの異常判定信号を出力する場合には、その異常を告知するための告知信号を生成する告知信号生成回路 67 を備える。なお、告知信号生成回路 67 を電源供給制御部 66 の内部に設けるようにしても良い。

閾値の格納手段としての ROM 65 は、正常な状態での電圧 V_1 、 V_2 よりも若干小さい閾値 V_{t1a} 、 V_{t2a} を格納すると共に、電圧 V_1 、 V_2 よりも若干大きい閾値 V_{t1b} 、 V_{t2b} を格納し、比較回路 64 a には閾値 V_{t1} として 2 つの閾値 V_{t1a} 、 V_{t1b} を出力し、比較回路 64 b には閾値 V_{t2} として 2 つの閾値 V_{t2a} 、 V_{t2b} を出力する。

20

【0040】

比較回路 64 a、64 b は、それぞれウィンドウ型比較回路であり、電圧 V_1 が閾値 V_{t1a} より大きいか否か、また電圧 V_1 が閾値 V_{t1b} より小さいか否かを比較し、比較結果を電源供給制御部 66 に出力する。なお、図 4 A においては、比較回路 64 a 及び 64 b を比較回路 64 で示している。

電源供給制御部 66 は、電圧 V_1 が $V_{1a} < V_1 < V_{t1b}$ の条件を満たす場合に、電圧 V_1 が正常な範囲内の電圧であると判定し、また同様に電圧 V_2 が $V_{2a} < V_2 < V_{t2b}$ の条件を満たす場合に、電圧 V_2 が正常な範囲内の電圧であると判定する。

一方、電源供給制御部 66 は、電圧 V_1 が $V_{1a} < V_1 < V_{t1b}$ の条件を満たさない場合に、電圧 V_1 が正常でない異常電圧の状態であると判定し、また同様に電圧 V_2 が $V_{2a} < V_2 < V_{t2b}$ の条件を満たさない場合に、電圧 V_2 が正常でない異常電圧の状態であると判定する。

30

【0041】

また、電源供給制御部 66 は、電圧 V_1 が異常電圧であると判定した場合には、第 1 定電圧回路 61 a の（定電圧の電源を生成する）動作を停止させるように制御すると共に、スイッチ 61 c を OFF にして第 1 定電圧回路 61 a から CCD 16 に供給する定電圧を遮断するように制御する。

また、電源供給制御部 66 は、電圧 V_2 が異常電圧であると判定した場合には、第 2 定電圧回路 61 b の動作を停止させるように制御すると共に、スイッチ 61 d を OFF にして第 2 定電圧回路 61 b から CCD 16 に供給する定電圧を遮断するように制御する。

40

第 1 定電圧回路 61 a の出力端に設けたスイッチ 61 c を、第 1 定電圧回路 61 a の内部に設け、そのスイッチを OFF にするようにしても良い。第 2 定電圧回路 61 b の出力端に設けたスイッチ 61 d の場合も同様に適用できる。

【0042】

なお、電源供給制御部 66 は、電圧 V_1 、 V_2 とともに正常であると判定した場合には、CCD 電源回路 53 b の動作を続行させる。

また、告知信号生成回路 67 は、電源供給制御部 66 が電圧 V_1 又は V_2 が異常電圧であると判定した場合の異常判定信号が入力されると、電圧 V_1 又は V_2 が異常電圧であると告知する告知信号を生成する。

告知信号生成回路 67 は、この告知信号をプロセッサ 4 側に伝送する場合、この告知信

50

号を専用に伝送する信号線で送信するのではなく、他の信号に所定のタイミングに重畳して、その信号を伝送する信号線によりプロセッサ 4 側に送信する告知信号送信手段を有する。例えば図 3 の REG - TXD / TD0 の信号や、垂直同期信号 VD に重畳（挿入）して送信する。このため、告知信号生成回路 67 は、本来の制御信号等に告知信号を重畳する告知信号重畳回路 67a を備える。この告知信号は、例えばコネクタ接点ピン 40c を介してプロセッサ 4 の制御回路 29 側に送信される。

このようにすると、まれに使用するための告知信号を伝送する専用の信号線を設けることを不要にできる。

【0043】

制御回路 29 は、制御信号等に重畳された告知信号を受信した場合には、その告知信号を信号処理回路 28 に出力し、信号処理回路 28 は、映像信号中に告知信号を重畳する。そして、モニタ 5 は、内視鏡画像と共に、告知信号を表示する。

このような構成の内視鏡 2A は、挿入部 6 の先端部 14 に搭載された撮像素子としての CCD 16 と、前記撮像素子を駆動するための複数の異なる電源電圧を有する電源、前記撮像素子を駆動する駆動信号、該駆動信号で駆動された前記撮像素子から出力される撮像信号、及びグラウンドレベルを伝達する配線としての総合同軸ケーブル 21、23 と、前記配線の中継するマイクロコネクタ 31、35 等のコネクタを設けた基板としての操作部基板 22、コネクタ基板 24 と、前記複数の異なる電源電圧を比較する電圧比較手段としての比較回路 64 と、前記電圧比較手段の比較結果に基づき、前記撮像素子への電源供給を制御する電源供給制御手段としての電源供給制御部 66 と、を備えることを特徴とする。

【0044】

そして、本実施形態においては、撮像素子としての CCD 16 側に供給される複数の電源電圧をそれぞれ監視し、電源線 60a、60b や電源線 60a'、60b' が断線したり、これらの中継する小型のコネクタのコネクタ接点ピン間の短絡（または短絡に至らない絶縁不良）等による異常電圧が発生したか否かを判定する。異常電圧が発生した異常状態と判定した場合には、電源供給制御部 66 は CCD 16 への電源供給を遮断する制御を行うと共に、告知信号生成回路 67 に異常電圧の発生を告知する告知信号を生成させ、プロセッサ 4 側に送信させる。

プロセッサ 4 の制御回路 29 は、告知信号を信号処理回路 28 に出力し、信号処理回路 28 は、映像信号中に告知信号を重畳する。そして、モニタ 5 は、内視鏡画像と共に、告知信号を表示し、術者は告知信号により、電源電圧 V1 又は V2 において異常電圧が発生したことを速やかに認識することができる。

従って、異常電圧が発生した内視鏡 2A に対して、その異常電圧の発生に対応した修理などを速やかに行うことができ、異常状態を解消できる。また、異常電圧が発生した異常状態のままで継続して使用すること（この場合には、より重度の異常状態が発生する可能性がある）を低減できると共に、修理しない異常状態のまま、次回の内視鏡検査に使用してしまうことを未然に防止できる。

【0045】

なお、ROM 65 は、異常電圧であるか否かを判定するための閾値の情報を予め格納しているが、プロセッサ 4 側が、このプロセッサ 4 に実際に接続される内視鏡 2A に応じて異常電圧であるか否かを判定するための閾値の情報を FPG 51 側に送信し、FPG 51 が ROM 65 にその情報を格納するような構成にしても良い。

この構成の場合には、初期状態等において、内視鏡 2A の FPG 51 がプロセッサ 4 側から上記閾値の情報を受け取り、その情報を用いて異常電圧であるか否かの判定を行うことになる。このような構成にした場合には、プロセッサ 4 に実際に接続して使用する内視鏡 2A 等の種類が異なるような場合（例えば電源に対する負荷の大きさが異なるような場合）にも、閾値をより適切な値に設定することができる。

【0046】

このように閾値をより適切な値に設定することにより、プロセッサ 4 に実際に接続され

10

20

30

40

50

る内視鏡 2 A 等に対して、電圧が正常な状態から異常となる異常状態をより早期の段階で判定することができる。

図 4 A の C C D 電源電圧監視回路 6 3 の構成例においては、電圧比較手段としての比較回路 6 4 の比較結果を電源供給制御手段としての電源供給制御部 6 6 に出力し、比較回路 6 4 の比較結果に基づいて電源供給制御部 6 6 が C C D 1 6 への電源供給を制御する構成であったが、図 4 B に示す変形例の構成にしても良い。

図 4 B の C C D 電源電圧監視回路 6 3 B においては、図 4 A において電源供給制御部 6 6 の制御機能を比較回路 6 4 が行う構成にしている。換言すると、電圧比較手段としての比較回路 6 4 が、電源供給制御手段としての電源供給制御部 6 6 の機能を兼ねる構成となる。

10

【 0 0 4 7 】

図 4 B においては、比較回路 6 4 を構成する各比較回路 6 4 a 、 6 4 b の比較結果により、電源供給制御部 6 6 を介すること無くそれぞれ第 1 定電圧回路 6 1 a 及びスイッチ 6 1 c と、第 2 定電圧回路 6 1 b 及びスイッチ 6 1 d を制御する構成にしている。

つまり、比較回路 6 4 a は、比較結果が異常電圧に該当する場合には、第 1 定電圧回路 6 1 a の動作を停止させると共にスイッチ 6 1 c を O F F にし、C C D 1 6 側への電源供給を遮断する。

また、比較回路 6 4 b は、比較結果が異常電圧に該当する場合には、第 2 定電圧回路 6 1 b の動作を停止させると共にスイッチ 6 1 d を O F F にし、C C D 1 6 側への電源供給を遮断する。

20

また、比較回路 6 4 a , 6 4 b の比較結果は告知信号生成回路 6 7 に出力され、異常電圧の場合には、告知信号生成回路 6 7 は告知信号をプロセッサ 4 側に供給する。

【 0 0 4 8 】

その他の構成は図 4 A の場合と同様である。図 4 B の変形例による作用効果は、電圧比較手段が電源供給制御手段の機能を兼ねることを除くと、図 4 A の場合と殆ど同じである。

なお、図 4 A 又は図 4 B に示すように、C C D 1 6 に対して複数の電源電圧を供給する C C D 電源回路 5 3 b ' の入力側での複数の電源電圧を監視する構成の場合に限らず、C C D 1 6 と共に先端部 1 4 に搭載された T G 1 7 に対しても電源電圧を供給する電源回路（例えば C C D ・ T G 電源回路 5 3 b ）の入力側において、その電源電圧を監視して、異常電圧の場合には T G 1 7 に供給する電源を遮断すると共に、告知する構成にしても良い。

30

また、C C D 1 6 側と、T G 1 7 側とに供給される電源が過大電流（本明細書では過電流とも言う）となる異常状態の場合には、電源供給を停止（シャットダウン）するように制御しても良い。

【 0 0 4 9 】

図 4 C は、C C D 1 6 に供給される電源と、T G 1 7 に供給される電源とが過電流の状態か否かを検知し、過電流の場合には電源供給を停止する過電流検知回路 8 2 a - 8 2 c を設けた構成を示す。

図 4 C に示す構成においては、コネクタ基板 2 4 内に、図 4 A で説明した C C D 電源回路 5 3 b 、 A / D 変換回路部 5 2 n 、 C C D 電源電圧監視回路 6 3 を設けると共に、T G 1 7 に電源を供給する定電圧回路 8 1 a 及びその前段に過電流を検知する過電流検知回路 8 2 a を設けている。なお、過電流検知回路 8 2 a は、例えば電源線 6 0 n と直列に接続した所定の値の抵抗値の両端の電圧を過電流を判定するために予め設定された所定電圧値とを比較する比較回路を有し、前記抵抗値の両端の電圧が所定電圧値以上となる比較結果の場合に定電圧回路 8 1 a に供給される電源の電流が閾値以上の過電流の状態であると検出する。他の過電流検知回路 8 2 b 、 8 2 c も同様の構成である。

40

コネクタ接点ピン 4 0 n に接続された電源線 6 0 n 上に設けた過電流検知回路 8 2 a は、予め設定された閾値以上の過電流が定電圧回路 8 1 a 側に流れると、定電圧回路 8 1 a 側に供給される電源（の電流）をシャットダウンする。

50

図４Ｃにおいては、内視鏡２Ａ内における監視すべき電源線６０ｎのみに過電流検知回路８２ａを設け、その他の電源線６０ａ、６０ｂに関してはプロセッサ４側にＣＣＤ電源回路５３ｂに対する過電流検知回路８２ｂ、８２ｃを設けた構成を示している。過電流検知回路８２ｂ、８２ｃは、過電流を検知すると、過電流検知回路８２ｂ、８２ｃからＣＣＤ電源回路５３ｂ'側に供給する電源をシャットダウンする。

【００５０】

また、図４Ｃの構成の場合においては、コネクタ基板２４内の電子回路に電源を供給する定電圧回路８１ｂ、８１ｃを設けている。ＣＣＤ電源回路５３ｂ'と定電圧回路８１ａとが、図３のＣＣＤ・ＴＧ電源回路５３ｂに相当する。

なお、電源線６０ａ、６０ｂ上に設けられる２点鎖線で示す判定用電圧生成回路８３ａに関しては、図４Ｅの説明後において説明する。

プロセッサ４内の電源回路２７は、過電流検知回路８２ｂ、８２ｃを介して、ＣＣＤ電源回路５３ｂに電源を供給すると共に、定電圧回路８１ａ－８１ｃにも電源を供給する。

従来例における過電流検知回路は、過電流を検知すると、定電圧回路８１ａに供給する電源の電流をシャットダウンするが、シャットダウンにより電流低下を検知するとシャットダウンが解除となり、過電流が流れる状態になり、この過電流を検知すると再びシャットダウンを繰り返すシーケンスとなっていた。

【００５１】

このため、本実施形態に採用する過電流検知回路８２ａは、一度過電流を検知したら、内視鏡２Ａ全体の電源がＯＦＦにされるまでは、過電流を検知した状態を保持する構成にして、上記の従来例におけるシーケンスを改良している。なお、他の過電流検知回路８２ｂ、８２ｃも過電流検知回路８２ａの場合と同様の機能を持つようにしても良い。

過電流検知回路８２ａにより過電流を検知する場合、内視鏡２Ａの種類に応じて複数の異なる閾値を有し、実際に使用される内視鏡２Ａに応じて閾値を切り替えるようにしても良い（例えば、内視鏡２Ａの外径別、先端部での温度別などに応じて閾値を切り替えるようにしても良い）。この場合、閾値を切り替えるための具体的な手段として、内視鏡２Ａの種類に応じた抵抗値の抵抗器を各内視鏡２Ａ内に実装しても良い。

また、閾値を切り替えるためにデジタルトリマを利用し、デジタルトリマの数値をＲＯＭに記憶しても良い。また、過電流保護回路８２ａ－８２ｃは、ＣＣＤ用とＴＧ用のものとを纏めて１つにしても良い。また、全ての過電流保護回路８２ａ－８２ｃを内視鏡２Ａ内に搭載しても良いし、内視鏡２Ａではなくプロセッサ４内に搭載しても良い。

【００５２】

また、内視鏡２Ａに固有の撮像ユニットにＲＯＭや抵抗器を搭載し、搭載したＲＯＭ又は抵抗器の情報を検知回路が読み取る構成にしても良い。この他に、内視鏡２Ａ内の搭載されたＭＣ基板、Ａ／Ｄ基板、ＩＦ基板などに上述したＲＯＭ等を搭載しても良い。

また、本実施形態においては、図４Ｄに示すような特性で内視鏡２Ａ側での電源ＯＮ、ＯＦＦの制御を行うようにしている。なお、図４Ｄの横軸は時間、縦軸は電圧を示す。

図４Ｄは、プロセッサ４側で電源ＯＮの時（タイミング）Ｔ０から時間Ｔａ後においては、内視鏡２Ａ側の電源をＯＮにし、一方、電源ＯＮの状態から電源ＯＦＦにされた場合には、電源ＯＦＦの時Ｔｂと殆ど同じタイミングないしは僅かに遅れたタイミングで、内視鏡２Ａ側の電源をＯＦＦにする特性を示す。なお、電圧Ｖｔは電源をＯＮ／ＯＦＦする閾値を表す。

【００５３】

このような特性で制御することにより、プロセッサ４側で電源ＯＮ／ＯＦＦされた場合、内視鏡２Ａ側で安定した動作を行うことができるようにする。電源ＯＮされた場合には、信号用コネクタ１２がプロセッサ４に適切に装着されていない状態や、コネクタ接点ピンの接触が安定していない状態のために、内視鏡２Ａ側において電源ＯＮ／ＯＦＦが速いタイミングで繰り返されるような状態もあり得る。

そのため、電源ＯＮのタイミングから時間をかけないで内視鏡２Ａ側の電源もＯＮ状態

10

20

30

40

50

にすると、安定しない電源状態で動作させることにより、電源が供給された回路に対する安定した動作を確保できない。

そこで、プロセッサ４側での電源ＯＮ時には、内視鏡２Ａ側の電源が安定するのに要する時間後に電源ＯＮにする（つまり、内視鏡２Ａ側の電源回路を動作状態にする）制御を行うことにより、内視鏡２Ａ側での安定した動作を確保できるようにしている。

【００５４】

一方、電源ＯＮの状態からプロセッサ４側で電源ＯＦＦにされた場合には、電源ＯＮ時のように時間をかけることなく、短時間で電源ＯＦＦにする（内視鏡２Ａ側の電源回路をシャットダウンする）。なお、短時間で電源ＯＦＦにする場合の時間は、後述する図５ＢにおいてはＴ９程度となる。

図４Ｄに示すような特性を持たせて内視鏡２Ａ側でのシーケンス制御を行う場合、例えば図４Ｅに示すような回路構成で実現しても良い。

図４Ｅにおいては、図４Ｃにおける例えば過電流検知回路８２ａの入力端に接続される電源線６０ｎ上に抵抗Ｒａ及びダイードＤａの並列回路とこの並列回路の出力端とグラウンドＧＮＤ間に接続したコンデンサＣａとからなる判定用電圧生成回路８３ａを設けている。

【００５５】

また、図４Ｅにおいては、この判定用電圧生成回路８３ａにより生成された判定用電圧を過電流検知回路８２ａに出力すると共に、この判定用電圧を監視して、定電圧回路８１

ａ，８１ｂ，８１ｃの電源ＯＮ／ＯＦＦを制御する電圧監視回路８３ｂを設けている。

なお、電圧監視回路８３ｂの機能を過電流検知回路８２ａが備えるような構成にして、電圧監視回路８３ｂを省く構成にしても良い。

図４Ｅのような構成の場合、プロセッサ４側で電源ＯＮされた場合には、抵抗Ｒａを介して、コンデンサＣａに電流が流れ、抵抗ＲａとコンデンサＣａとの時定数に応じてコンデンサＣａの電位（電圧）が時間的に上昇する。なお、この場合には、ダイードＤａは逆方向となり、その抵抗値は抵抗Ｒａの抵抗値に比較して十分に大きい。

【００５６】

この場合の上昇する時定数が、図４Ｄの特性（時間的に電圧が上昇する特性）を決定する。そして、電圧監視回路８３ｂはコンデンサＣａの電圧（つまり、判定用電圧生成回路８３ａにより生成された判定用電圧）と閾値Ｖ_tとを比較し、閾値Ｖ_t以上の電圧を検知

すると、定電圧回路８１ａ，８１ｂ，８１ｃをＯＮさせる（又は定電圧回路８１ａ，８１ｂ，８１ｃから電源を出力させる）ように制御する電源ＯＮ制御回路の機能を持つ。

一方、電源ＯＮの状態からプロセッサ４側で電源ＯＦＦにされた場合には、コネクタ接点ピン４０ｎの電圧は、瞬時にその電圧が０に低下する。このため、コンデンサＣａに蓄積された電荷は、順方向となるダイードＤａにより短時間に放電され、短時間にコンデンサＣａの判定用電圧は閾値Ｖ_t以下となり、電圧監視回路８３ｂは、短時間に定電圧回路８１ａ，８１ｂ，８１ｃを電源ＯＦＦとなるように制御する電源ＯＦＦ制御回路の機能を持つ。このような制御を行うことにより、電源ＯＮにされた場合には安定した動作を確保し、電源ＯＦＦされた場合に対しては良好な応答性を確保できる。

【００５７】

なお、判定用電圧生成回路８３ａを図４Ｅに示す電源線６０ｎに設ける場合に限定されるものでなく、例えば図４Ｃの２点鎖線で示すように他の電源線６０ａ、６０ｂに設けるようにしても良い。

電源線６０ａ、６０ｂに判定用電圧生成回路８３ａを設けた場合には、ＣＣＤ電源電圧監視回路６３（の電源供給制御部６６）は、図４Ｅの電圧監視回路８３ｂの機能を有し、図４Ｄで説明したような特性でＣＣＤ電源回路５３ｂ'の電源ＯＮ／ＯＦＦを制御する。

この場合には、電源供給制御部６６は、図４Ａ、図４Ｃで説明した制御機能（第１の制御機能）の他に、プロセッサ４側で電源ＯＮ／ＯＦＦされた場合に対するＣＣＤ電源回路５３ｂ'の電源ＯＮ／ＯＦＦの制御機能（第２の制御機能）を持つ。

10

20

30

40

50

【 0 0 5 8 】

また、FPGA 51 から TG 17 を介して CCD 16 を駆動する場合のケーブル駆動方法として図 5 A のような構成にして、波形の鈍りを改善するようにしても良い。

FPGA 51 は、TG 17 が要求する例えば 3 つのクロックとしての HDR__CLK, HDR__CLK__N, HDR__HCLK を生成する。FPGA 51 から出力する HDR__CLK, HDR__CLK__N, HDR__HCLK は、ケーブル駆動回路を構成するバッファ 85 a と、コンデンサ 86 a 及び抵抗 86 b の並列回路によりピーキング回路 86 とを介して総同軸ケーブル 21, 23 を構成する各同軸ケーブルを駆動する。

クロックに応じて複数のバッファ 85 a を並列接続して必要とされる駆動電流規格を満たすことができるようにしている。具体的には、HDR__CLK の場合には 3 つのバッファ 85 a を並列接続しており、HDR__CLK__N の場合にも 3 つのバッファ 85 a を並列接続しており、HDR__HCLK の場合には 2 つのバッファ 85 a を並列接続して、1 つのバッファ 85 a で駆動できる駆動電流を数倍に増大できるようにしている。

10

【 0 0 5 9 】

また、ピーキング回路 86 により、各クロックの立ち上がり波形と立ち下がり波形部分を微分した強調波形 (HDR__CLK の場合に対して図示) にして、同軸ケーブルにより波形が鈍った後において、矩形波に近いクロック波形を TG 17 に供給できるようにしている。

なお、ピーキング回路 86 のコンデンサ 86 a 及び抵抗 86 b の値は、内視鏡 2 A の種類に応じて切り替える又は適切な値に設定される。

20

また、FPGA 51 から出力する 3 つのクロックとして、プロセッサ 4 から FPGA 51 が受信したクロックの周波数と同一で、かつデューティが 50 % のクロックであることを TG 17 が要求している場合がある。

【 0 0 6 0 】

このため、FPGA 51 は、プロセッサ 4 から受信したクロックを 2 倍に通倍した後、2 分の 1 に分周して、デューティが 50 % のクロックを生成している。

なお、図 5 A は、3 つのクロック HDR__CLK, HDR__CLK__N, HDR__HCLK の場合の例で示しているが、図 2 B の内視鏡 2 B の場合には ϕH と ϕV との 2 つのパルス信号の場合に該当することになるが、この場合においても同様に適用できることは明らかである。また、内視鏡 2 A の場合には図 3 に示すように FPGA 51 から操作部 7 までは 4 つのパルス (LVDS の ϕH , ϕV)、操作部 7 から TG 17 までは ϕH と ϕV との 2 つのパルス信号の場合になるが、この場合に対しても適用することができる。

30

また、FPGA 51 は、CCD 判別信号や垂直同期信号 VD や水平同期信号をリセットする H リセット信号が入力される図示しないカウンタ回路を備え、このカウンタ回路で水平クロック HCLK, 垂直クロック VCLK、CCD 16 のオプティカルブラック (黒レベル) での電位をクランプするクランプパルス OBCLP 等の信号を生成する。

【 0 0 6 1 】

また、図 3 において説明した SC - CLK__EN のパルス信号、上記 HCLK 等の駆動の ON / OFF に用いる信号 SDWN、FPGA 51 内部動作の垂直同期信号としての VD__INT、水平同期信号 HD、LPF を通した信号等から、第 1 のアナログ回路 53 c 用の電源制御信号 (+5V__AFE1, -5V__AFE1)、及び第 2 のアナログ回路 53 h 用の電源制御信号 (+5V__AFE2, -5V__AFE2) 等を生成する制御信号生成回路 (例えば SCP__SEQ) を FPGA 51 は有する。

40

プロセッサ 4 側において使用者が電源を ON / OFF した場合にはプロセッサ 4 は、それを検知したパルス信号としての SC - CLK__EN を内視鏡 2 A 内の FPGA 51 に送信し、FPGA 51 は、この SC - CLK__EN を用いて、内視鏡 2 A 内で所定のタイミングで各種の電源の ON / OFF 制御、CCD 駆動信号の制御を行う。

【 0 0 6 2 】

このように電源 ON / OFF を検知したパルス信号を利用して各種の電源の ON / OFF 制御、CCD 駆動信号の制御を行うことにより、電源の ON / OFF に対応した制御を

50

速やかに実行できる。つまり、プロセッサ 4 と内視鏡 2 A 内の F P G A 5 1 間の通信を利用すると、通信が確立するまでに時間の遅延が発生するが、プロセッサ 4 側から F P G A 5 1 側への電源 O N / O F F を検知したパルス信号を利用することにより、前記時間の遅延を殆ど発生することなく、良好な応答性を確保できる。

上記 S C - C L K _ E N のパルス信号を利用して、電源 O N 時と電源 O F F 時には、図 5 B に示すように所定のタイミングでクロック C L K、垂直同期信号 V D、各種の信号を O N / O F F 制御する S D W N、第 1 のアナログ回路 5 3 c 用の電源制御信号 (+ 5 V _ A F E 1、- 5 V _ A F E 1)、及び第 2 のアナログ回路 5 3 h 用の電源制御信号 (+ 5 V _ A F E 2、- 5 V _ A F E 2)、C C D 6 を駆動する駆動信号としての ϕ H を O N / O F F する S D W N _ D R V、水平転送信号 ϕ H (及び図示しない ϕ V) を制御する。

10

【 0 0 6 3 】

電源 O N 時には、所定の電圧 (例えば 3 V) の電源が O N すると、その O N 時から T 1 (例えば約 4 0 0 m S) 後に S C - C L K _ E N は L レベルから H レベルに立ち上がり、また T 2 (例えば約 1 0 0 0 m S) 後にクロック C L K は動作状態となり、これに同期して垂直同期信号 V D も出力されると共に、+ 5 V _ A F E 2、- 5 V _ A F E 2、S D W N _ D R V も H レベルに立ち上がり、 ϕ H も出力される状態となる。

また、上記 O N 時から T 3 (例えば約 4 0 0 m S) 後に S D W N が立ち上がる。

また、クロック C L K が動作状態になった時から T 4 (例えば 5 0 0 m S) 後に、+ 5 V _ A F E 1、- 5 V _ A F E 1 が H レベルに立ち上がる。 ϕ H の出力停止のタイミングは、F P G A 5 1 内部で生成している H D と同期して停止するタイミングとなる。これにより、不安定な ϕ H パルスが生成されることを防ぎ、安定して ϕ H を停止させることができる。H D ではなく、V D と同期させて ϕ H を停止させても良い。

20

【 0 0 6 4 】

一方、電源 O F F 時には、まず S C - C L K _ E N が H レベルから L レベルに立ち下がり、その立ち下がりタイミングから T 5 (例えば約 3 0 0 μ S) 後に S D W N _ D R V が立ち下がると共に、 ϕ H も出力停止となる。

また、S C - C L K _ E N の立ち下がりタイミングから T 6 (例えば 1 5 m S) 後に、- 5 V _ A F E 1、- 5 V _ A F E 2 が H レベルに立ち下がり、S C - C L K _ E N の立ち下がりタイミングから T 7 (例えば 2 0 m S) 後に、+ 5 V _ A F E 1、+ 5 V _ A F E 2 が H レベルに立ち上がり、これより若干後のタイミングの T 8 後に、C L K が停止し、さらに C L K の停止した後の T 9 (4 0 m S - 5 0 m S 程度) 後に、所定の電圧の電源が O F F になる。

30

【 0 0 6 5 】

特に電源 O F F 時には、電源 O N 時よりも短い時間後に O F F 状態にすることにより、良好な応答性を確保できるようにしている。また、電源 O N 時、O F F 時共、S C - C L K _ E N で制御することにより、通信を利用する場合よりも、良好な応答性を確保できる。

なお、通信を利用した場合においても、必要とされる応答性を実現できる場合には、通信を利用して上述したような制御を行うようにしても良い。また、内視鏡 2 A 側で電源 O N、O F F を検出する検知手段を設け、その検知手段の検知信号を利用して上述したような制御を行うようにしても良い。

40

【 0 0 6 6 】

なお、内視鏡 2 A 側に搭載される F P G A 5 1 等の集積回路 (I C) は、電源と信号との入力順序が逆転したような場合においても、回路が破壊されないトレラント機能を有する。

図 5 B においても説明したように例えば電源 O N された場合には、内視鏡 2 A 内においては、電源が供給された後にクロック C L K 等が立ち上がる (入力される) ように制御されるが、その制御のタイミングが何らかの原因で逆転したような場合においてもトレラント機能により F P G A 5 1 等の I C が破壊されないように保護している。

つまり、内視鏡 2 A は、トレラント機能を備えたインタフェースを有し、内視鏡 2 A 側

50

のIC等が破壊されないようにしている。

また、FPGA51は、図5Cに示すように電源ON時の起動時においてプロセッサ4側から入力されるクロックCLKの起動時のCLKを確定させるCLK確定と、CLK異常の判定とを行うCLK確定判定回路91を有する。

【0067】

プロセッサ4側から入力されるCLKは、ディレイ量(遅延量)を調整するDLL(ディレイロックドープ)91aに入力されると共に、フリーカウンタ91bに入力される。DLL91aは、入力されるCLKに追従したクロックとしての出力CLKを生成して、出力する。

DLL91aから出力される出力CLKは、FPGA51、その他の回路にCLKとして供給されると共に、カウンタ91cに入力される。なお、フリーカウンタ91bは、カウンタ動作を開始する場合、カウンタ91cをリセットし、同じタイミングで両カウンタがCLK, 出力CLKをカウントするように制御する。

フリーカウンタ91b、カウンタ91cの各カウント値はカウンタ比較回路91dに入力され、カウンタ比較回路91dは、所定のタイミングで、両カウンタのカウント値が所定の範囲内に入っている場合には、DLL91aから出力される出力CLKは安定していると判定する。

【0068】

この判定結果の場合には、カウンタ比較回路91dは、出力CLKに同期して動作する各回路に、(初期)リセットを解除する信号を印加し、出力CLKに同期した動作を行わせる。起動時に限らず、起動後でもDLL91aが不安定であれば、安定した後にリセットを解除するようにしても良い。

一方、カウンタ比較回路91dは、両カウンタのカウント値が所定の範囲内に入っていない場合には、入力されるCLK、又はDLL91aの動作が異常であると判定し、DLL91aをリセットする。

このように入力されるCLKに対して、DLL91aを用いて出力CLKを生成する場合、DLL91aの特徴を補う機能を追加してCLK確定判定回路91を形成している。

【0069】

図5Cに示すCLK確定判定回路91により、例えばDLL91aが静電気等による外乱によりハングアップして、DLL91aから出力される出力CLKが定常的に異常になった場合にはリセットして正常な動作を行うように制御できる。また、入力されるCLKの周波数や位相に変動があると、出力CLKの周波数が所定の期間、不安定になることがあるが、そのような場合にも、DLL91aをリセットして、安定な動作を行うように制御する。

また、上記構成の場合、起動時においてもDLL91aの出力CLKが安定した場合には、DLL91aが出力する出力CLKが供給される各回路に対して、速やかに安定した動作を開始させることができる。

【0070】

また、プロセッサ4側から内視鏡2A内に入力される図5Bに示したSC-CLK_ENのパルス信号、クロック、同期信号等は、途中の伝送ケーブルにより遅延が発生し、互いの位相ずれが発生する。このため、その位相ずれの影響を吸収して安定した動作を行うことができるようにしても良い。

図5Dはプロセッサ4側からFPGA51に入力される例えば垂直同期信号VDP_INTに対する位相ずれの影響を吸収した垂直同期信号VD_INTを出力する垂直同期信号出力回路101の構成を示す。

プロセッサ4から垂直同期信号出力回路101に入力されるVDP_INTは、アップエッジ切り出し回路101aにより、CCDクロックとしてのCCDCLKに同期してアップエッジが切り出され、そのアップエッジ期間に比較及び補正を行う比較・補正回路101bの動作をアクティブにする。アップエッジを切り出すアップエッジ切り出し回路101aを用いて説明するが、その代わりにダウンエッジを切り出すダウンエッジ切り出し

10

20

30

40

50

回路を用いるようにしても良い。

【 0 0 7 1 】

なお、C C D C L K は、垂直同期信号出力回路 1 0 1 内の各回路に入力され、各回路はこの C C D C L K に同期して動作する。

比較・補正回路 1 0 1 b には、1 垂直同期信号 V D 期間毎に、C C D C L K を所定数 (図 5 E では N)、カウント (計測) する補正カウンタ 1 0 1 c のカウント値が入力される。この補正カウンタ 1 0 1 c は、所定数カウントしたカウント値を比較・補正回路 1 0 1 b に出力すると共に、所定数カウントしたタイミングのパルスを V D _ I N T 生成回路 1 0 1 d に出力する。

V D _ I N T 生成回路 1 0 1 d は、補正カウンタ 1 0 1 c の出力に同期して F P G A 5 1 を含む内視鏡 2 A 内の各回路に、位相ずれを吸収した垂直同期信号 V D _ I N T を出力する。

10

【 0 0 7 2 】

比較・補正回路 1 0 1 b は、アップエッジ期間において、補正カウンタ 1 0 1 c のカウント値を所定数と比較し、比較結果に応じて補正カウンタ 1 0 1 c のカウント動作を補正する。

【 0 0 7 3 】

V D _ I N T 生成回路 1 0 1 d は、補正カウンタ 1 0 1 c から出力されるパルスに同期した垂直同期信号 V D _ I N T を生成して、外乱を低減するローパスフィルタを用いた L P F 回路 1 0 2 に出力する。この L P F 回路 1 0 2 から外乱となるノイズを低減した垂直同期信号 V D _ I N T を、F P G A 5 1 を含む内視鏡 2 A 内の各回路に供給する。

20

図 5 E は図 5 D のタイミング図を示す。プロセッサ 4 側で生成された垂直同期信号 V D に対して、内視鏡 2 A 内の垂直同期信号出力回路 1 0 1 に実際に入力される垂直同期信号 V D P _ I N T は、その位相が遅れる。

この垂直同期信号 V D P _ I N T はアップエッジ切り出し回路 1 0 1 a により C C D C L K に同期してアップになるアップエッジが切り出されて、そのアップエッジ期間、比較・補正回路 1 0 1 b はアクティブとなり、補正カウンタ 1 0 1 c のカウント値を所定数と比較する。

【 0 0 7 4 】

垂直同期信号 V D と垂直同期信号 V D P _ I N T の位相差が標準の状態ではカウント値は所定数 N となり、比較・補正回路 1 0 1 b は補正カウンタ 1 0 1 c のカウント動作を所定数 N のままで行わせる。つまり、この場合には、比較・補正回路 1 0 1 b は補正カウンタ 1 0 1 c のカウント動作の補正を行わない。このときアップエッジで補正カウンタ 1 0 1 c を 0 にリセットする。

30

一方、垂直同期信号 V D に対する垂直同期信号 V D P _ I N T の位相ずれ (遅れ) が 1 カウントの場合には、比較・補正回路 1 0 1 b は補正カウンタ 1 0 1 c に 1 をセットして (実際には補正された N + 1 をカウントするように) カウント動作を行わせる。

逆に垂直同期信号 V D に対する垂直同期信号 V D P _ I N T の位相ずれ (進み) が 1 カウントの場合には、比較・補正回路 1 0 1 b は補正カウンタ 1 0 1 c に N をセットして (N - 1 カウントするように) カウント動作を行わせる。

40

【 0 0 7 5 】

このように動作させることにより、位相ずれが C C D C L K の ± 1 クロック程度の範囲内ではその位相ずれを吸収した安定した垂直同期信号 V D P _ I N T を生成することができる。C C D C L K の ± 1 以上の位相差の場合は、比較・補正回路 1 0 1 b がアクティブ時に常に補正カウンタ 1 0 1 c を 0 にリセットする。

【 0 0 7 6 】

図 6 A は C C D 1 6 の出力信号等を伝達する総合同軸ケーブル 2 1 , 2 3 と M C 接続部付近の構成を示す。なお、M C 接続部は、M C と該 M C と接続される M C 受けを表し、図 6 A の場合には M C 接続部は、M C 3 1 及び M C 受け 3 3 , M C 3 5 及び M C 受け 3 6 となる。

50

CCD 16 に電源電圧 VDD が供給される電源端を簡略的に電源端 VDD と記す。電源端 VDD は、先端部基板 18 に接続された総合同軸ケーブル 21 を構成する電源線を介して MC 31 と MC 受け 33 とで MC 接続 (中継) された後、さらに総合同軸ケーブル 23 を構成する電源線を介して MC 35 と MC 受け 36 とによる MC 接続されて IF 基板 24 A の CCD・TG 電源回路 53b (図 3 参照) と接続される。

【0077】

また CCD 16 の CCD 出力信号 Vout を出力する CCD 出力端 Vout は、先端部基板 18 に実装された抵抗 R1 を介してトランジスタアレイ 55 を構成するトランジスタ Q1 のベースに接続され、このトランジスタ Q1 コレクタは電源端 VDD に接続され、そのエミッタはエミッタフォロワによる信号出力端 Vout になると共に、抵抗 R2 を介して出力信号グラウンド GND (Vout) に接続される。また、電源端 VDD とグラウンド GND はコンデンサ C1 を介して接続されている。

10

エミッタフォロワによる信号出力端 Vout は、上記電源端 VDD に接続された電源線の場合と同様に総合同軸ケーブル 21, 23 を構成し、撮像信号を伝送する信号線により途中の MC 接続で中継されて IF 基板 24 A のアンプ 53d と接続される。

【0078】

また、出力信号グラウンド GND (Vout) も、上記信号出力端 Vout の信号線の場合と同様にグラウンドレベルを伝送 (伝達) するグラウンド信号線により IF 基板 24 A の図示しない出力信号グラウンド GND (Vout) に接続される。

【0079】

20

また、グラウンド GND もグラウンド線により、上記電源線の場合と同様に途中で MC 接続で中継されて IF 基板 24 A の図示しないグラウンド GND に接続される。

【0080】

なお、図 6 A においては、図 3 で示したトランジスタアレイ 55 における 1 つのチャンネル部分を示し、他の 3 つのチャンネルに対しても同様の構成を適用できる。

【0081】

本実施形態においては各種の信号線等を MC 接続するコネクタ接点ピンの配置を図 6 B に示すように変更前の配置から変更後に示す配置に変更している。変更前の MC 接続例においては、番号が 30 のコネクタ接点ピンは、シールドグラウンド SGND に接続され、これに隣接する番号 28 のコネクタ接点ピンは出力信号グラウンド GND (Vout) と接続され、これに隣接する番号 26 のコネクタ接点ピンは信号出力端 Vout と接続され、これに隣接する番号 24 のコネクタ接点ピンは電源端 VDD と接続されている。

30

これに対して、変更後の MC 接続するコネクタ接点ピンの配置においては、番号が 30 のコネクタ接点ピンは、出力信号グラウンド GND (Vout) と接続され、番号 28 のコネクタ接点ピンは電源端 VDD と接続され、番号 26 のコネクタ接点ピンは信号出力端 Vout と接続され、番号 24 のコネクタ接点ピンは電源端 VDD と接続されている。

【0082】

変更前のコネクタ接点ピンで各種の信号線を接続する配置状態では、信号出力端 Vout に隣接して出力信号グラウンド GND (Vout) が配置されていたため、これらが短絡 (ショート) すると、図 6 A に示すトランジスタ Q1 に過電流が流れ、その場合、プロセッサ 4 側の過電流保護回路がその過電流を検知して、電源端 VDD の電源供給をシャットダウンする。

40

しかし、このように隣接するコネクタ接点ピン間が完全に短絡に至らないで画像が出力される場合、例えば 200 オーム程度の抵抗値で短絡するような状態であると、過電流保護回路が過電流として検知できない状態となり、トランジスタ Q1 に過電流が流れ続け、発熱が継続してしまう。

【0083】

このため、本実施形態においては、変更後の配置に示すように信号出力端 Vout に隣接して電源端 VDD を配置し、出力信号グラウンド GND (Vout) を番号 30 のコネクタ接点ピンで接続するように変更している。

50

この配置の場合には、信号出力端 V_{out} が電源端 V_{DD} と短絡または短絡に近い状態になった場合には、画像が正常に出力されなくなるため、使用者は速やかに画像異常として認識することができる。また、この場合にはトランジスタ Q_1 に過電流が流れないため、発熱でトランジスタ Q_1 や $CCD16$ が故障する可能性を低減できる。

上記のように各種の信号線を MC 接続する場合の配置を変更することにより、短絡の発生を速やかに認識し易い構造にしているが、本実施形態においては各種の信号線を MC 、 MC 受けに半田付けした場合、半田付けした箇所を樹脂で覆うコーティングを施し、短絡等の発生をより有効に防止する構造にしている。

【0084】

図7は例えば MC 基板34の裏面を示す。図2Aに示す総合同軸ケーブル21の総合シールドはシールドグラウンド $SGND$ 用パッド P_s に半田付けされ、絶縁性の樹脂 M_1 で覆われる（コーティングされる）。なお、総合シールドをメカ部材でかしまても良いし、半田付けできるメカ部材で固定しても良い。

同様に総合同軸ケーブル21における各種の同軸信号線の信号線（中心導体）が半田付けで接続されるパッド P 、外側シールド線が半田付けで接続されるパッド P も絶縁性の樹脂 M_1 で覆われる。図7では一部のみを示しているが、残りのパッド P での半田付け部分も同様に絶縁性の樹脂 M_1 で覆われる。

また、図8Aは、コネクタ基板24における IF 基板24Aの部品面と半田面（裏面）とを示し、部品面には $MC35$ が接続される MC 受け36が設けてある。

【0085】

また、半田面においては出力信号 V_{out} が入力されるアンプ53d（図3参照）の前段部分となる網線（クロスハッチング）で示す入力回路部53eは、プリントパターンの配線部分が露出するため、絶縁性の樹脂 M_2 で覆う（コーティングする）ようにしている。なお、樹脂 M_1 と M_2 は、同じ樹脂を用いることができる。

【0086】

図8Bは入力回路部53eの回路構成を示す。 $MC35$ を経て入力回路部53eに入力される出力信号 V_{out} は、抵抗 R_3 を介して接地されると共に、コンデンサ C_2 、 C_3 及び抵抗 R_4 の直列回路を介してアンプ53dに入力される。また、コンデンサ C_2 、 C_3 の接続点は、抵抗 R_5 を介して接地される。また、コンデンサ C_3 と抵抗 R_4 との接続点は、抵抗 R_6 を介して接地されると共に、抵抗 R_7 を介して所定の電源端（+5V）に接続される。

【0087】

上記のように出力信号 V_{out} を伝送する信号線として露出するプリントパターンを絶縁性の樹脂 M_2 で覆うことにより、プリントパターンが湿気等で絶縁不良になるようなことを有効に防止できるようにしている。出力信号 V_{out} だけでなく、湿気等の影響で絶縁不良を起こし発熱又は熱損傷（熱傷）に至るような回路は、全て絶縁性の樹脂でコーティングしても良い。

また、本実施形態においては、 $CCD16$ を間欠駆動している。具体的には、図8Cに示すように1垂直同期期間（1VDで示す）を周期として $CCD16$ を間欠駆動しているため、 CCD 出力信号 V_{out} は DC レベルが変動する。 DC レベルが低くなる駆動期間においては CCD 出力信号 V_{out} は有効画素領域の信号を含み、 DC レベルが高くなる休止期間では有効画素領域でなく休止領域の信号となる。

【0088】

上記のように入力回路部53eを介して CCD 出力信号 V_{out} をそのままアンプ53dに入力した場合、アンプ53dの後段側での入力信号の許容範囲を超えてしまう。このため、本実施形態におけるアンプ53dとして、図8Cに示すように DC レベルが変動することを利用して、休止領域の信号をクリップして、有効画素領域の信号のみを選択的に増幅する回路構成にしている。

図8Dは休止領域の信号をクリップするアンプ53dの回路構成を示す。図8Bにおいて説明した入力回路部53eの入力端はさらに、抵抗 R_{11} とスイッチ SW_1 との直列回

10

20

30

40

50

路を介して接地される。つまり、図 8 D の回路構成においては、入力端は抵抗 R_3 と並列に抵抗 R_{11} とスイッチ SW_1 が設けてある。

このスイッチ SW_1 は、上記間欠駆動に同期した切替信号により ON / OFF される。具体的には、駆動期間においては (H レベルとなる) 切替信号によりスイッチ SW_1 が ON し、休止期間ではスイッチ SW_1 が OFF となる。そして、入力端は、駆動期間においては約 $910\ \Omega$ の抵抗で接地され、休止期間においては $10\ k\ \Omega$ の抵抗 (具体的には R_3) で接地される。このため、図 8 C のように駆動期間と休止期間において CCD 出力信号 V_{out} は DC レベルが変動する。

【0089】

上記入力回路部 53e を経た信号は、アンプ 53d を構成するトランジスタ Q_2 のベースに印加され、トランジスタ Q_2 のコレクタは所定で電源端 (+5V) に接続されると共にコンデンサ C_5 を介して接地され、トランジスタ Q_2 のエミッタは抵抗 R_{12} を介して接地されると共に、抵抗 R_{13} を介してトランジスタ Q_3 のエミッタに接続される。

また、トランジスタ Q_3 のエミッタは抵抗 R_{21} を介して接地され、トランジスタ Q_3 のコレクタは抵抗 R_{14} を介して所定の電源端に接続されると共に抵抗 R_{15} を介してトランジスタ Q_4 のベースに接続される。

また、トランジスタ Q_3 のベースは抵抗 R_{16} 及び抵抗 R_{17} を介して接地される。また抵抗 R_{16} , R_{17} の接続点はコンデンサ C_6 を介して接地されると共に、抵抗 R_{18} を介して所定の電源端に接続される。

【0090】

また、トランジスタ Q_4 のコレクタは所定の電源端に接続されると共に、コンデンサ C_7 を介して接地され、トランジスタ Q_4 のエミッタは抵抗 R_{19} を介して接地されると共に、抵抗 R_{20} 及びコンデンサ C_8 の直列回路を介してアンプ 53d の出力端に接続される。また、抵抗 R_{20} 及びコンデンサ C_8 の接続点はコンデンサ C_9 を介して接地される。なお、トランジスタ Q_3 に一端が接続された抵抗 R_{14} の他端はコンデンサ C_{10} を介して接地される。

図 8 D に示す回路構成の作用は以下ようになる。入力回路部 53e を経てアンプ 53d に入力される CCD 出力信号 V_{out} は、エミッタフォロワのトランジスタ Q_2 により、ベース接地のトランジスタ Q_3 に伝達される。このトランジスタ Q_3 により増幅された信号は、そのコレクタからエミッタフォロワのトランジスタ Q_4 により低インピーダンスに変換して出力される。

【0091】

この場合、図 8 C に示すように休止領域の信号をトランジスタ Q_3 により増幅した場合、トランジスタ Q_3 のコレクタでの電圧は、(休止領域の信号全て) 例えば 4.8V のクリップレベル以上となり、従って休止領域の信号全てがクリップレベルでクリップされる。

これに対して、トランジスタ Q_3 により増幅された有効画素領域の信号は、トランジスタ Q_3 のコレクタでの電圧は、全てがクリップレベル以下となり、従って有効画素領域の信号のみを実質的に増幅して出力する。

このように作用させるため、アンプ 53d を構成する場合の DC バイアスを正レベル側にオフセットするように設定し、有効画素領域の信号に対しては、十分に増幅することができるようにし、一方、休止領域の信号を確実にクリップすることができるようにしている。

【0092】

このような構成にすることにより、簡単な回路構成により、CCD 16 における有効画素領域の信号のみを増幅して後段側に出力することができるようにしている。

さらに本実施形態においては、例えば MC 31 におけるコネクタ接点ピン間において電界強度が大きくなるコネクタ接点ピン間に対しては、それらの間に未接続のコネクタ接点ピンを配置することにより、未接続のコネクタ接点ピンを配置するまえの電界強度を、その 1/2 程度に低減する構造にしている。

10

20

30

40

50

図 9 の M C 3 1 における互いに隣接するコネクタ接点ピン P a、P b を特定の信号又は電源に割り当てた場合、M C 3 1 においては各コネクタ接点ピン間のピッチが狭いため、隣接するコネクタ接点ピン P a、P b 間での特定の信号又は電源の電界強度が大きくなり、短絡する可能性が高くなる。或いは、電圧レベルが大きくなった瞬間などにおいて、隣接するコネクタ接点ピンとの絶縁が不十分になってしまう可能性がある。

【 0 0 9 3 】

このため、本実施形態においては、電界強度が特定の値を超えて隣接するコネクタ接点ピン P a、P b に対しては、両コネクタ接点ピン P a、P b 間に（何も接続されない）未接続のコネクタ接点ピン P c を配置する構造にし、短絡その他の異常な状態が発生するのを防止するようにしている。

なお、電界強度が大きい場合に限らず、大きな電圧差のあるコネクタ接点ピン間、大きな電流差のあるコネクタ接点ピン間に対して、その間に未接続のコネクタ接点ピン P c を配置するようにしても良い。

図 9 の適用例として、M C 3 1 の場合に限定されるものでなく、他の M C 3 5 や M C 受け 3 3、3 6 に適用することもできる。

【 0 0 9 4 】

また、本実施形態においては、内視鏡 2 A 内部の電子部品が湿度で特性が劣化したり、腐食したりするのを未然に防止するセンサを搭載している。内視鏡 2 A は、内視鏡検査に使用する度に、薬液や高温高湿度雰囲気の状態での消毒したり、洗浄装置で洗浄される。

このため、内視鏡 2 A を長期にわたり、使用すると内視鏡 2 A 内部に湿気が侵入することが起こり得る。内視鏡 2 A の内部が所定以上の湿度を有する状態で、通電して使用すると、内視鏡 2 A 内の電子部品や基板が、通常の使用状態の場合よりも劣化や腐食が加速してしまう。

そこで、図 1 の点線で示すようにコネクタ基板 2 4（内の例えば A / D 基板 2 4 B）に、内視鏡 2 A 内部の湿度を検知するための湿度センサ 7 1 を設け、プロセッサ 4 内には湿度センサ 7 1 の検知信号により、内視鏡 2 A 内部の湿度を検出（算出）する湿度検出回路 7 2 を設けている。

【 0 0 9 5 】

また、この湿度検出回路 7 2 は、検出した湿度が所定の閾値以上の高湿度の場合には、制御回路 2 9 に対して、検出した湿度が閾値以上の高湿度状態である旨を警告等するための警告信号を出力する。制御回路 2 9 は、警告信号が入力されると、電源回路 2 7 に対して、内視鏡 2 A 側に電源供給を停止する制御を行うと共に、警告信号を信号処理回路 2 8 に出力する。

また、信号処理回路 2 8 は、警告信号に対応した警告メッセージをモニタ 5 に表示するように信号処理する。この場合、以下に説明するように内視鏡 2 A 側には、電源を供給しない状態で、湿度検出回路 7 2 は湿度センサ 7 1 を駆動し、湿度センサ 7 1 から出力される検知信号により湿度状態を判定し、高湿度の場合にはモニタ 5 において警告メッセージを表示できるようにする。

内視鏡 2 A 側に電源を供給することなく、湿度センサ 7 1 により内視鏡 2 A 内の湿度を検知することができる受動部品を用いて湿度センサ 7 1 を構成できるものがより望ましい。

【 0 0 9 6 】

これに該当するものとして、湿度の変化を感湿膜のインピーダンスの変化として検知する抵抗式湿度センサや、湿度の変化を対の電極間の静電容量の変化として検知する容量式湿度センサを用いることができる。

本実施形態の内視鏡装置 1 においては、上記のように湿度センサ 7 1 を内視鏡 2 A 内部に設け、内視鏡 2 A 内部が通常の湿度状態よりも高い高湿度状態になったことを検出した場合には、内視鏡 2 A 側に電源供給を停止して高湿度状態での通電により電子部品の劣化や故障の発生を有効に防止した状態で、使用者に高湿度状態であることを警告（告知）する。また、使用者に告知することにより、使用者は速やかに高湿度状態を解消するような

10

20

30

40

50

修理を行うことができる。

また、上述した湿度センサ 7 1 を用いることなく、以下に説明するように内視鏡 2 A 内で実際に使用する電子部品に比較して、湿度によりその特性が劣化し易い特徴を有するダミー部品を以下のように用いるようにしても良い。

【 0 0 9 7 】

図 1 0 A は図 1 の湿度センサ 7 1 を設ける代わりに、上記の特徴を有するダミー部品 7 5 を設けて腐食を検出する場合の構成を示す。内視鏡 2 A 内の信号用コネクタ 1 2 内のコネクタ基板 2 4 (内の例えば A / D 基板 2 4 B) にはダミー部品 7 5 が実装され、このダミー部品 7 5 は、プロセッサ 4 内の検出回路 7 6 により、ダミー部品 7 5 の電気的特性を検出する。検出回路 7 6 は、検出結果を閾値と比較して、腐食による異常状態であるか否かを判定する。なお、図 1 0 A においては、ダミー部品 7 5 を 1 つのコネクタ基板 2 4 に設けた場合を示しているが、ダミー部品 7 5 を内視鏡 2 A 内の複数の基板に設けるようにしても良い。

10

検出回路 7 6 は、異常状態であると判定した場合には、その判定信号を警告表示指示回路 7 7 に出力し、警告表示指示回路 7 7 は検出回路 7 6 が異常状態を検出した旨の警告メッセージをモニタ 5 に出力し、使用者に腐食が発生した異常状態を告知する。

【 0 0 9 8 】

ダミー部品 7 5 、検出回路 7 6 及び警告表示指示回路 7 7 により、腐食による異常状態の発生を検出する腐食異常検出装置 8 0 が構成される。

なお、図 1 0 A において符号 7 8 は F P G A 5 1 などにより形成される電子回路を示す。

20

上記ダミー部品 7 5 を設ける場合の形状及び特性としては、以下のような要件が考えられる。湿気等による特性劣化、又は基板のプリントパターンの腐食による故障の原因として、例えば半田や素子メッキ部の溶出を想定した場合、端子間や露出パターン間が溶出金属によってショート状態に至ったり、端子やパターンがやせてオープン状態に至るような故障が考えられる。

そのため、製品に使用されている部品よりも端子間ピッチが狭いパターンを有していることがダミー部品 7 5 の形状要件となり、ショートとオープンが判別できるデバイスであることがダミー部品 7 5 の特性要件となる。

【 0 0 9 9 】

30

例えばコネクタ基板 2 4 の製品に用いられている (端子間の) 最小ピッチが 0 . 5 mm の場合、0 4 0 2 サイズ (0 . 4 mm × 0 . 2 mm) の数 k Ω の所定の抵抗値 R を有する抵抗器をコネクタ基板 2 4 に実装して、ダミー部品 7 5 とする。

そして、検出回路 7 6 により、上記抵抗器の抵抗値をモニタし、モニタした抵抗値が所定の抵抗値 R より Δ だけ大きい閾値 $R + \Delta$ (= R + Δ) 以上となった場合、又は所定の抵抗値より Δ だけ小さい閾値 $R - \Delta$ (= R - Δ) 以下となった場合には、腐食が発生した異常状態であると判定する。そして、異常状態の判定結果をモニタ 5 により使用者に告知する。

【 0 1 0 0 】

40

上記の説明では、狭い端子間に 1 つの抵抗器を実装してダミー部品 7 5 を形成した場合で説明したが、図 1 0 B に示すように直列のパターン上に設けた複数の狭い端子としてのパッド 7 9 間にそれぞれ抵抗器 7 5 a を実装してダミー部品 7 5 を形成しても良い。このように腐食が発生し得る広い範囲に設けた複数の狭い端子間に複数 (図 9 B では 7 つ) の抵抗器 7 5 a を直列接続となるように実装することで、腐食を検出する機能を高めるようにしても良い。

このように腐食により故障が発生し易いダミー部品 7 5 を内視鏡 2 A 内に実装しておくことにより、故障が発生し易い異常状態を速やかに検知して使用者に告知し、修理を促すようにすることで、異常状態で内視鏡 2 A が使用されてしまうことを防止又は低減することができる。

【 0 1 0 1 】

50

図 4 A 等を参照して説明したように本実施形態によれば、小型のコネクタを用いて複数の電源電圧で撮像素子を駆動するような場合においても、短絡等による電源電圧の異常状態を速やかに検出して、異常状態を速やかに解消し易い内視鏡を提供することができる。

なお、上述した内視鏡としては、主に内視鏡 2 A の場合に対して説明しているが、説明した部分に関する構成を備えた内視鏡 2 B , 2 C の場合においても、同様に適用できることは明らかである。

また、図 4 A - 図 4 C においては、A / D 変換手段により A / D 変換したデジタルの電圧を電圧比較手段としての比較回路 6 4 において閾値と比較する構成であったが、A / D 変換手段を設けることなく、アナログの電圧を閾値と比較するアナログの電圧比較手段を用いる構成にしても良い。

10

【 0 1 0 2 】

なお、図 4 A - 図 4 C においては、プロセッサ 4 側から供給される複数の電源電圧から、内視鏡 2 A 内でさらに異なる複数の電源電圧を生成して、CCD 1 6 に供給する電源生成手段としての CCD 電源回路 5 3 b ' を備えた構成を示しているが、本発明はこのような構成の場合に限定されない。例えば、CCD 電源回路 5 3 b ' を備えることなく、プロセッサ 4 で生成した複数の電源電圧を、電源線 6 0 a , 6 0 b 等の電源線を介して CCD 1 6 に直接供給する構成の場合にも適用できる。

また、図 4 A - 図 4 C のように内視鏡 2 A 内に CCD 電源回路 5 3 b ' を備えた構成にした場合、さらに CCD 電源回路 5 3 b ' から出力される複数の電源の電源電圧を監視し、監視結果に応じて CCD 1 6 への電源供給を制御する構成にしても良く、例えば図 1 1 に示すような構成にしても良い。なお、本構成を、図 3 に示した基板内回路用電源回路 5 2 p に適用し、基板内回路用電源回路 5 2 p の電源電圧の監視結果に応じて基板内回路への電源供給を制御するようにしても良い。

20

【 0 1 0 3 】

図 1 1 に示す CCD 電源電圧監視回路 6 3 C は、図 4 A の CCD 電源電圧監視回路 6 3 の構成において、さらに比較回路 6 4 C と ROM 6 5 C とを備えた構成である。CCD 電源回路 5 3 b ' のスイッチ 6 1 c , 6 1 d を経て CCD 1 6 に出力される 2 つの電源電圧を、第 2 の電圧比較手段としての (比較回路 6 4 のように 2 つの比較回路を内蔵する) 比較回路 6 4 C により ROM 6 5 C からの閾値とそれぞれ比較し、比較結果を電源供給制御部 6 6 に出力する構成にしている。

30

そして、電源供給制御部 6 6 は、CCD 電源回路 5 3 b ' の入力端側と出力端側とにおける複数の電源電圧を監視し、正常な電圧の範囲内となる判定結果の場合には CCD 電源回路 5 3 b ' をそのまま動作させ、正常な電圧の範囲外となる異常電圧の判定結果の場合には CCD 電源回路 5 3 b ' から CCD 1 6 側に供給される電源電圧を遮断するように制御する。また、電源供給制御部 6 6 は、異常電圧の判定結果の場合には、告知信号生成回路 6 7 により告知を行うように制御する。このような構成にすると、内視鏡 2 A 等の内視鏡内の電源の異常状態を、より詳細にかつ速やかに検出でき、その異常状態を解消する対策を速やかに行うことが可能になる。

【 0 1 0 4 】

40

なお、上述した図 4 A - 図 4 C 、図 1 1 等において CCD 電源電圧監視回路を説明したが、以下に説明するように異なる 2 つの電源間 (異なる電源電圧を発生する 2 つの異電源間) の電圧を比較することにより、それぞれ異なる電源電圧を中継するコネクタ接点ピンの短絡 (ショート) 等を検出する構成にしても良い。

図 1 2 は、隣接するコネクタ受け接点ピン 4 0 a , 4 0 b により中継された電源線 6 0 a , 6 0 b の (電源) 電圧 V 1 , V 2 間の電圧を比較して、隣接するコネクタ受け接点ピン 4 0 a , 4 0 b 間の短絡、ないしは短絡に至らない絶縁不良を検出する CCD 電源電圧監視回路 6 3 D を示す。

この CCD 電源電圧監視回路 6 3 D は、例えば図 4 A における CCD 電源電圧監視回路 6 3 において、A / D 変換回路 6 2 a , 6 2 b を経たデジタルの電圧 V 1 , V 2 が入力さ

50

れる比較回路 6 4 の代わりに、2 つの電圧 V_1 , V_2 間の差電圧を生成する減算手段としての減算器 1 2 1 と、比較回路 1 2 2 とを設けている。なお、図 4 A に適用した場合に限らず、図 4 B 等に適用しても良い。

【0105】

2 つの電圧 V_1 , V_2 は、大きい方の電圧から小さい方の電圧を減算することにより 2 つの電圧 V_1 , V_2 間の差電圧を生成する減算器 1 2 1 を経て、比較手段としての比較回路 1 2 2 に入力される。ここでは、大きい方の電圧を V_1 (つまり、 $V_1 > V_2$) として説明する。比較回路 1 2 2 は、2 つの電圧 V_1 , V_2 間の差電圧 (として、減算器 1 2 1 により生成された電圧) $V_1 - V_2$ と、ROM 6 5 に予め格納された短絡ないしは絶縁不良を判定するための電圧値となる閾値 V_{ta} とを比較する。

10

この閾値 V_{ta} に関して説明すると、例えばコネクタ受け接点ピン 4 0 a , 4 0 b 間を絶縁不良の発生に相当する抵抗値で接続した場合において、減算器 1 2 1 を経て比較回路 1 2 2 に入力される電圧値が上記閾値 V_{ta} として ROM 6 5 に予め格納されている。換言すると、ROM 6 5 には、短絡に至る前の絶縁不良の発生を判定するための閾値 V_{ta} の情報が格納されている。比較回路 1 2 2 は、差電圧 $V_1 - V_2$ と、閾値 V_{ta} とを比較し、比較結果を電源供給制御部 6 6 に出力する。

【0106】

電源供給制御部 6 6 は、比較結果に基づいて、CCD 1 6 側への電源供給を制御する。電源供給制御部 6 6 は、比較結果が $V_1 - V_2 > V_{ta}$ の場合には、短絡ないしは絶縁不良が発生していない正常な状態であると判定し、比較結果が $V_1 - V_2 \leq V_{ta}$ の場合には、短絡ないしは絶縁不良が発生している異常状態と判定する。

20

正常な状態においては、 $V_1 - V_2 > V_{ta}$ の条件を満たし、絶縁不良の発生時には比較結果が $V_1 - V_2 = V_{ta}$ 程度となり、絶縁不良が進行すると、 $V_1 - V_2 < V_{ta}$ の状態となる。また、短絡したような場合には、 $V_1 - V_2 < V_{ta}$ は、 $0 < V_{ta}$ に近い状態になる。

電源供給制御部 6 6 は、比較結果が $V_1 - V_2 > V_{ta}$ となる前者の場合には、CCD 電源回路 5 3 b' の動作を続行させる。一方、比較結果が $V_1 - V_2 \leq V_{ta}$ となる後者の異常状態の場合には、電源供給制御部 6 6 は、CCD 電源回路 5 3 b' の動作等を停止させると共に、異常判定信号を告知信号生成回路 6 7 に出力する。

30

【0107】

告知信号生成回路 6 7 は、コネクタ受け接点ピン 4 0 a , 4 0 b 間が短絡ないしは絶縁不良が発生している異常状態を告知する告知信号を生成し、告知信号重畳回路 6 7 a を用いてプロセッサ 4 側に送信する。

プロセッサ 4 の制御回路 2 9 は、告知信号を信号処理回路 2 8 に出力し、信号処理回路 2 8 は、映像信号中に告知信号を重畳する。そして、モニタ 5 は、内視鏡画像と共に、告知信号を表示し、術者は告知信号により、コネクタ受け接点ピン 4 0 a , 4 0 b 間が短絡ないしは絶縁不良が発生したことを速やかに認識することができる。

従って、異常状態が発生した内視鏡 2 A に対して、その異常状態の発生に対応した修理などを速やかに行うことができ、異常状態を解消できる。

40

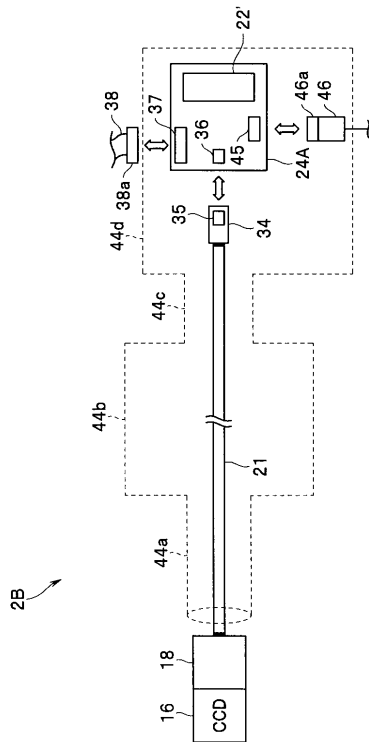
【0108】

なお、図 1 2 においてはコネクタ受け接点ピン 4 0 a , 4 0 b 間の短絡ないしは絶縁不良の発生を検出するために、電源線 6 0 a , 6 0 b により伝送される (電源) 電圧 V_1 , V_2 間の差電圧を閾値 V_{ta} と比較する構成にしているが、他の 2 つの電源線 (例えば 6 0 a' , 6 0 b') により伝送される電源電圧間の差電圧を、対応する閾値と比較して、他の 2 つの電源線がそれぞれ中継される (特に隣接して配置された) コネクタ接点ピン間の短絡ないしは絶縁不良の発生を検出するようにしても良い。

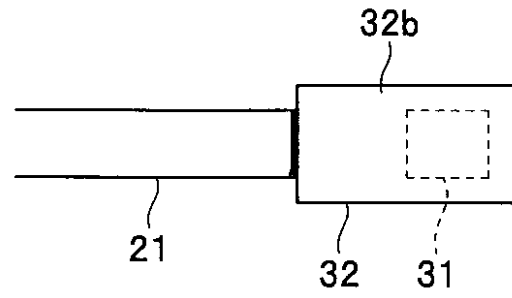
また、図 4 A , 図 4 B 等の構成において、さらに減算器 1 2 1 及び比較回路 1 2 2 を追加して、コネクタ受け接点ピン 4 0 a , 4 0 b 間の短絡ないしは絶縁不良の発生を検出する機能を追加するようにしても良い。また、上述した実施形態等を部分的に組み合わせる等して構成される実施形態も本発明に属する。

50

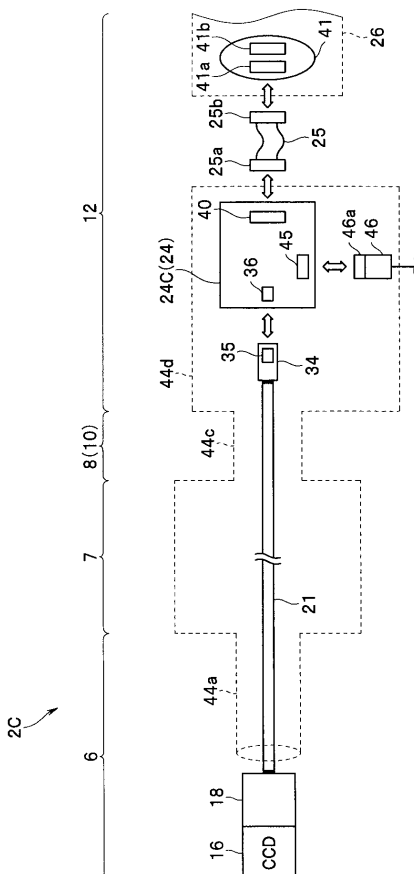
【図 2 B】



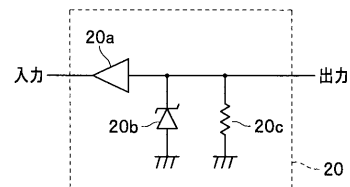
【図 2 C】



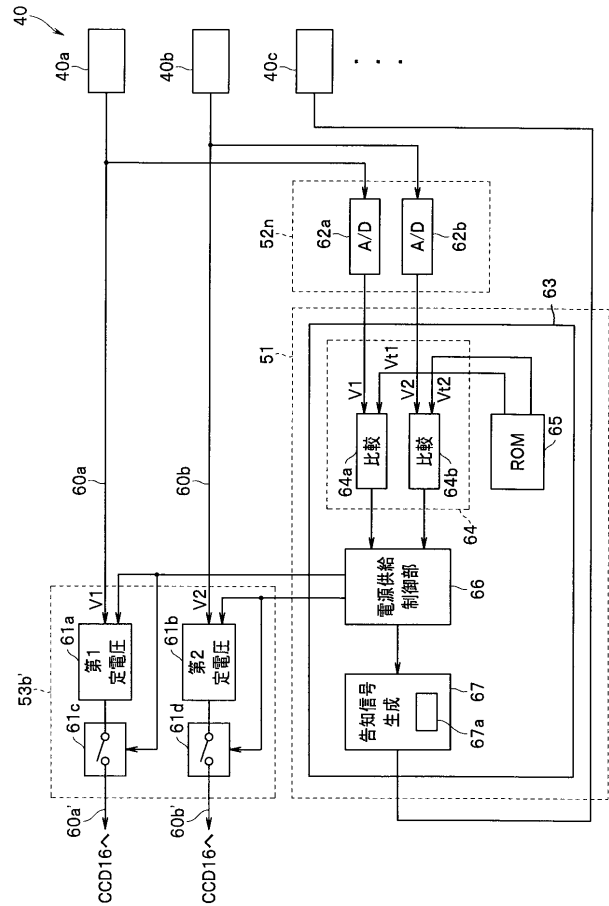
【図 2 D】



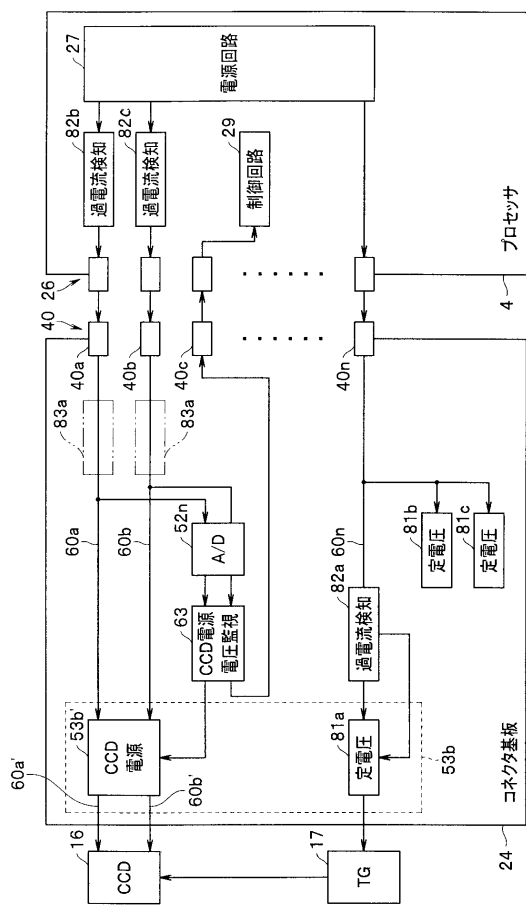
【図 2 E】



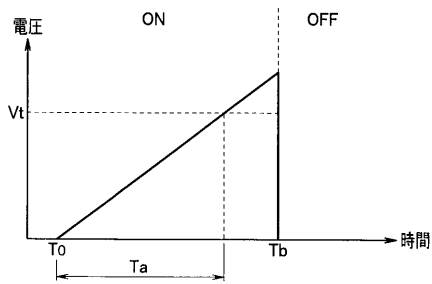
【 図 4 A 】



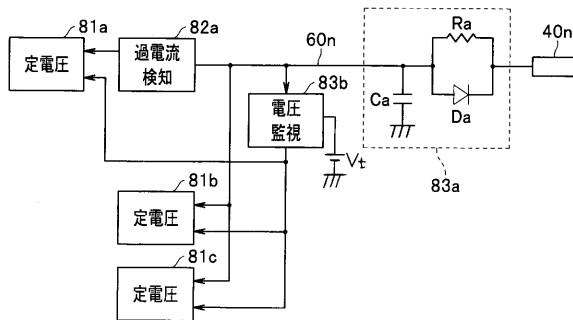
【 図 4 C 】



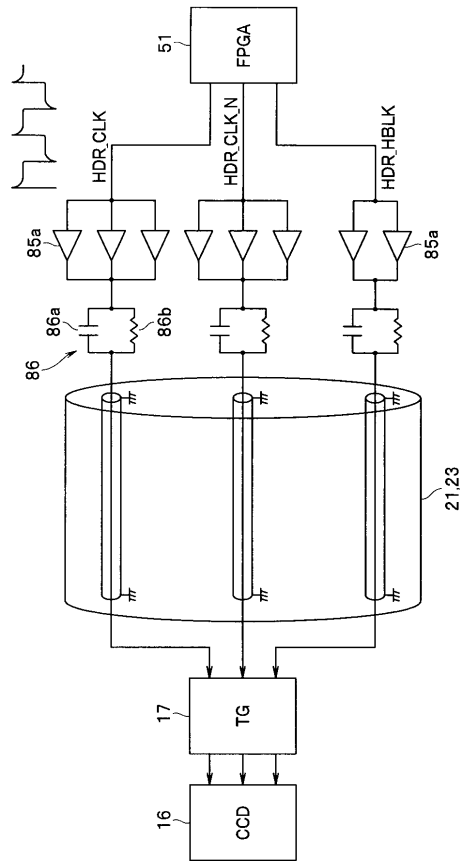
【図 4 D】



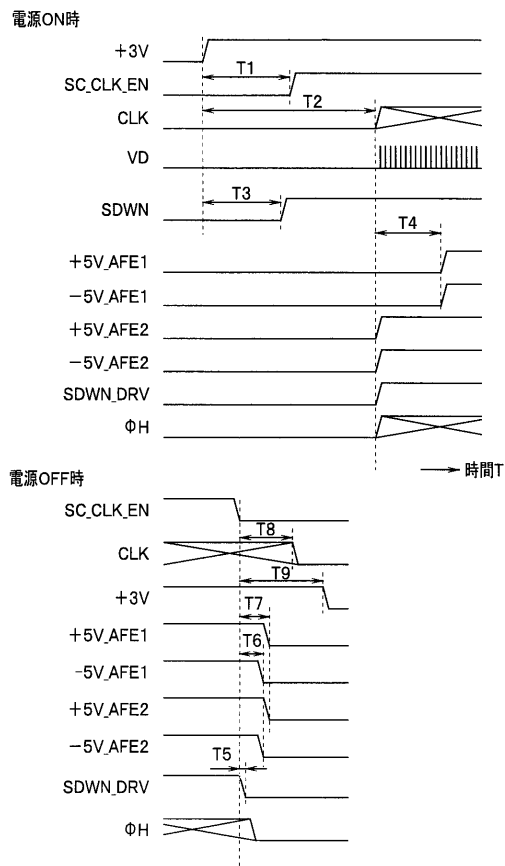
【図 4 E】



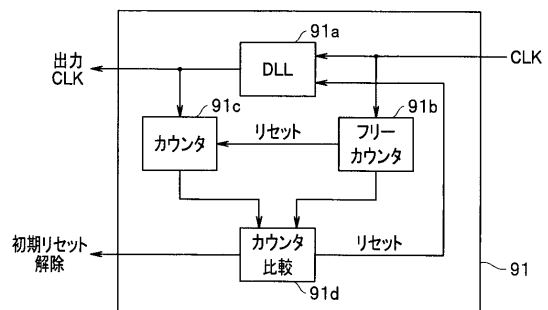
【図 5 A】



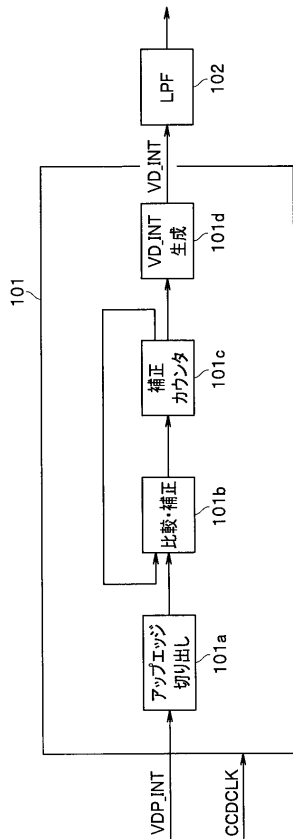
【図 5 B】



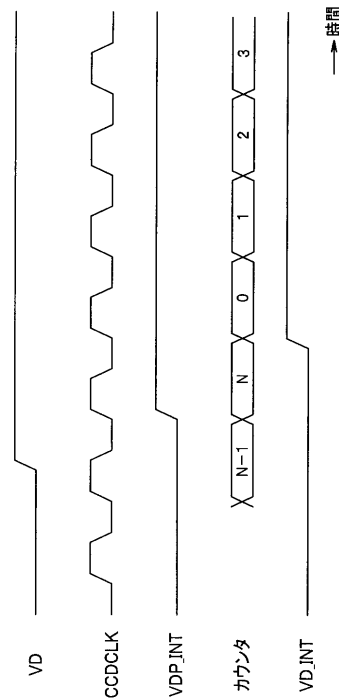
【図 5 C】



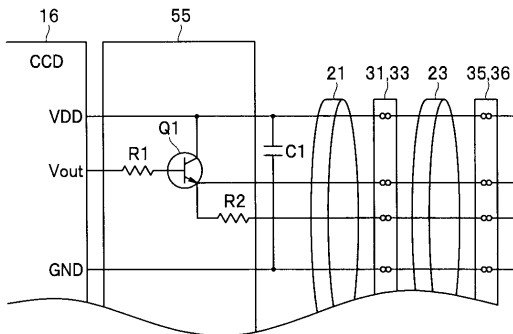
【図 5 D】



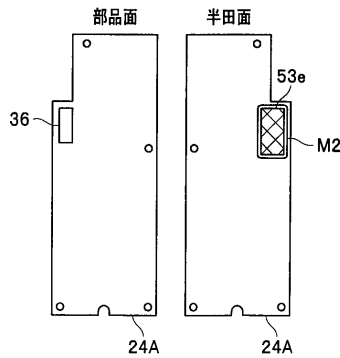
【図 5 E】



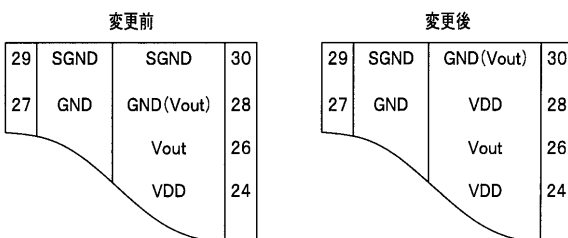
【図 6 A】



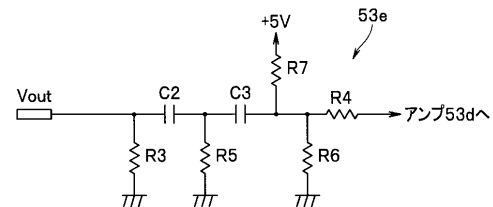
【図 8 A】



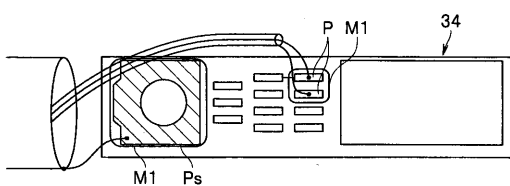
【図 6 B】



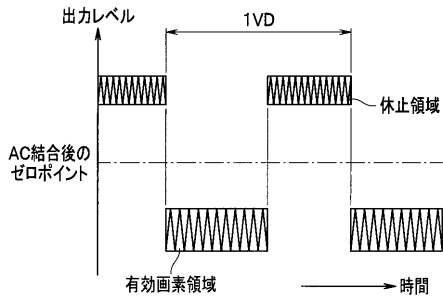
【図 8 B】



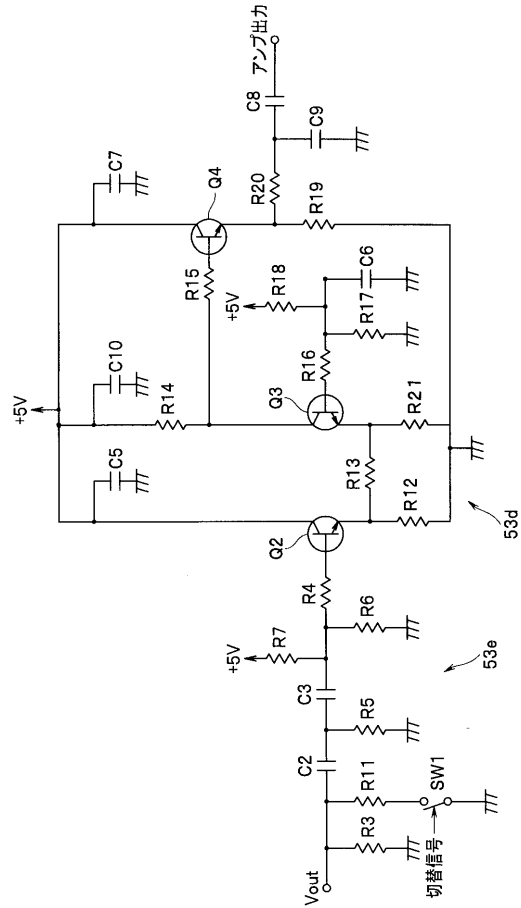
【図 7】



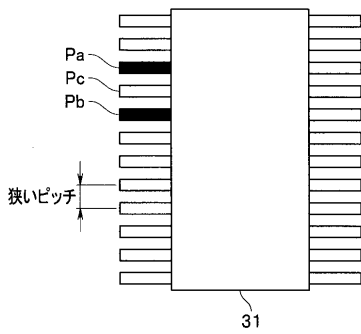
【図 8 C】



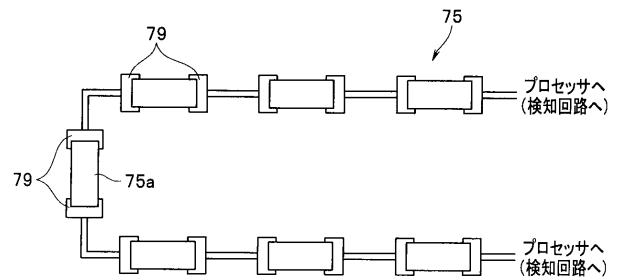
【図 8 D】



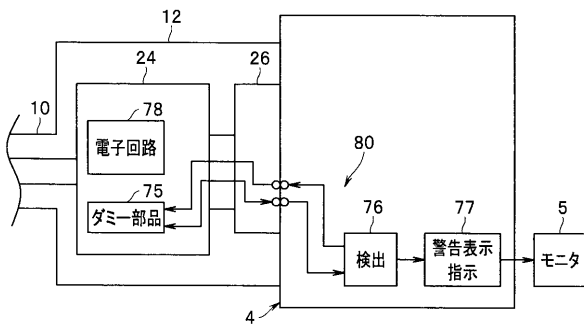
【図 9】



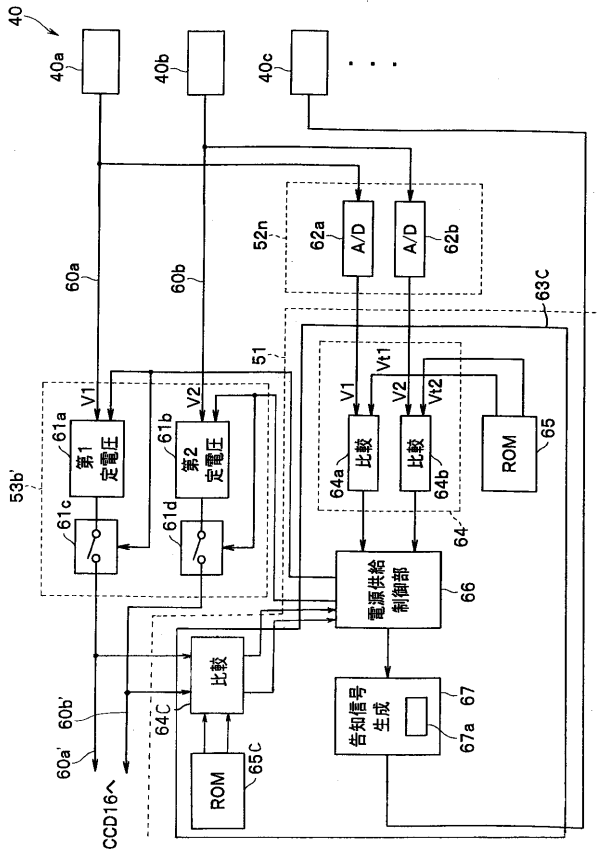
【図 10 B】



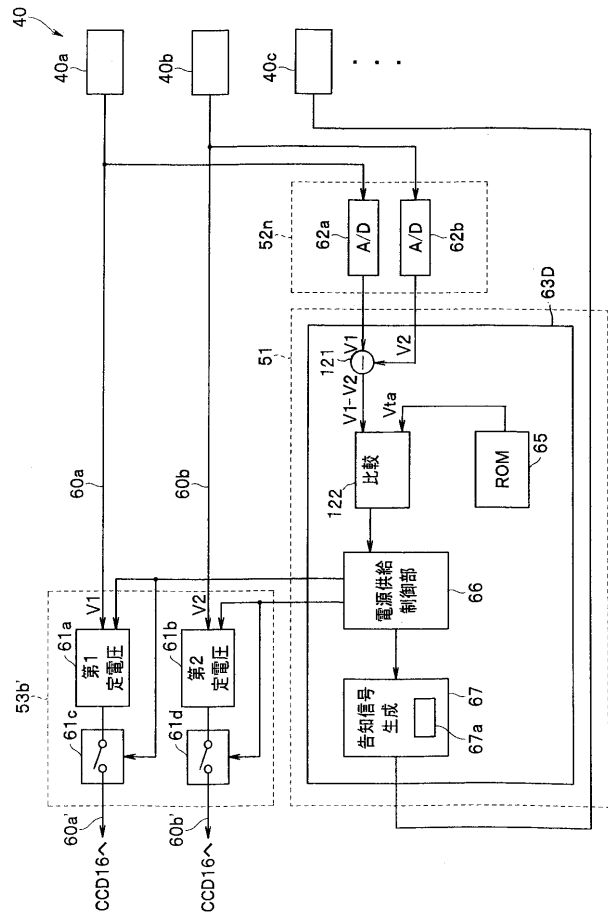
【図 10 A】



【図 1 1】



【図 1 2】



【手続補正書】

【提出日】平成25年4月2日(2013.4.2)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

本発明の一態様の内視鏡は、挿入部の先端部に搭載された撮像素子と、前記撮像素子を駆動するための複数の異なる電源電圧を有する電源、前記撮像素子を駆動する駆動信号、該駆動信号で駆動された前記撮像素子から出力される撮像信号、及びグラウンドレベルを伝達する配線と、前記配線の中継するコネクタを設けた基板と、前記複数の異なる電源電圧を比較する第1の電圧比較部と、前記複数の異なる電源電圧から、前記複数の異なる電源電圧とはそれぞれ異なる複数の第2の電源電圧を生成する電源生成部と、前記複数の第2の電源電圧を比較する第2の電圧比較部と、前記第1の電圧比較部の比較結果、及び前記第2の電圧比較部の比較結果に基づき、前記撮像素子への電源供給を制御する電源供給制御部と、を備える。

【手続補正 2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

挿入部の先端部に搭載された撮像素子と、

前記撮像素子を駆動するための複数の異なる電源電圧を有する電源、前記撮像素子を駆動する駆動信号、該駆動信号で駆動された前記撮像素子から出力される撮像信号、及びグラウンドレベルを伝達する配線と、

前記配線の中継するコネクタを設けた基板と、

前記複数の異なる電源電圧を比較する第1の電圧比較部と、

前記複数の異なる電源電圧から、前記複数の異なる電源電圧とはそれぞれ異なる複数の第2の電源電圧を生成する電源生成部と、

前記複数の第2の電源電圧を比較する第2の電圧比較部と、

前記第1の電圧比較部の比較結果、及び前記第2の電圧比較部の比較結果に基づき、前記撮像素子への電源供給を制御する電源供給制御部と、

を備えることを特徴とする内視鏡。

【請求項2】

前記第1の電圧比較部は、前記基板に設けられ、前記第1の電圧比較部は、前記複数の電源電圧とそれぞれ所定の閾値とを比較することにより、各電源電圧が正常な電圧の範囲内であるか否かの比較結果を出力し、前記電源供給制御部は、前記基板に設けられ、前記電源供給制御部は、前記第1の電圧比較部の前記比較結果が前記正常な電圧の範囲内の場合には、前記撮像素子への電源供給を行うように制御し、前記第1の電圧比較部の前記比較結果が前記正常な電圧の範囲外の場合には、前記撮像素子への電源供給を停止するように制御することを特徴とする請求項1に記載の内視鏡。

【請求項3】

前記電源供給制御部は、前記第1の電圧比較部の前記比較結果が前記正常な電圧の範囲外となる異常電圧の場合には、前記異常電圧の発生を告知する告知信号を、前記内視鏡が着脱自在に接続され、前記撮像素子に対する信号処理を行う信号処理装置に送信する告知信号送信部を有することを特徴とする請求項2に記載の内視鏡。

【請求項4】

前記第1の電圧比較部の前記比較結果が前記正常な電圧の範囲外となる異常電圧の場合には、前記第1の電圧比較部は、前記異常電圧が入力される前記電源生成部の動作を停止することを特徴とする請求項3に記載の内視鏡。

【請求項5】

前記第1の電圧比較部及び前記電源供給制御部は、プログラム可能に構築されるFPGAを用いて構成されることを特徴とする請求項4に記載の内視鏡。

【請求項6】

前記電源供給制御部は、前記告知信号を、該告知信号以外の他の信号に重畳して前記内視鏡が着脱自在に接続される前記信号処理装置に送信する告知信号重畳部を有することを特徴とする請求項5に記載の内視鏡。

【請求項7】

さらに、前記コネクタにおける隣接する2つのコネクタ接点ピンによりそれぞれ中継された前記複数の異なる電源電圧を有する電源における異なる2つの電源電圧間の差電圧を生成する減算回路と、前記減算回路により生成された前記差電圧と、前記2つのコネクタ接点ピン間の短絡ないしは絶縁不良を検出するために設定された閾値とを比較する比較回路とを備え、前記電源供給制御部は、前記比較回路による比較結果に基づいて、前記撮像素子への電源供給を制御することを特徴とする請求項1に記載の内視鏡。

【請求項8】

さらに、前記コネクタにおける隣接する2つのコネクタ接点ピンによりそれぞれ中継された前記複数の異なる電源電圧を有する電源における異なる2つの電源電圧間の差電圧を生成する減算回路と、前記減算回路により生成された前記差電圧と、前記2つのコネクタ接点ピン間の短絡ないしは絶縁不良を検出するために設定された閾値とを比較する比較回路とを備え、前記電源供給制御部は、前記比較回路による比較結果に基づいて、前記撮像素子への電源供給を制御することを特徴とする請求項3に記載の内視鏡。

【請求項9】

さらに、前記コネクタにおける隣接する２つのコネクタ接点ピンによりそれぞれ中継された前記複数の異なる電源電圧を有する電源における異なる２つの電源電圧間の差電圧を生成する減算回路と、前記減算回路により生成された前記差電圧と、前記２つのコネクタ接点ピン間の短絡ないしは絶縁不良を検出するために設定された閾値とを比較する比較回路とを備え、前記電源供給制御部は、前記比較回路による比較結果に基づいて、前記撮像素子への電源供給を制御することを特徴とする請求項6に記載の内視鏡。

【請求項 10】

さらに、前記基板は、前記内視鏡が着脱自在に接続される外部装置内に設けられた電源回路から前記電源生成部に供給される前記電源の電源電流が所定値以上の過大電流で有るか否かを検知する過大電流検知回路を有し、前記過大電流検知回路が過大電流を検知した場合には、過大電流が検知された電源電流を遮断することを特徴とする請求項4に記載の内視鏡。

【請求項 11】

さらに、前記基板は、前記内視鏡が着脱自在に接続される外部装置内に設けられた電源回路から前記電源生成部に供給される前記電源の電源電流が所定値以上の過大電流で有るか否かを検知する過大電流検知回路を有し、前記過大電流検知回路が過大電流を検知した場合には、過大電流が検知された電源電流を遮断することを特徴とする請求項7に記載の内視鏡。

【請求項 12】

さらに、前記基板は、前記内視鏡が着脱自在に接続される外部装置内に設けられた電源回路から前記電源生成部に供給される前記電源が ON、OFF される場合、前記電源が OFF されたタイミングから短い時間 t_1 後に前記電源生成部が生成する前記複数の第 2 の電源電圧を遮断し、前記電源が ON されたタイミングから前記時間 t_1 より大きい時間 t_2 後に前記電源生成部が生成する前記複数の第 2 の電源電圧を出力させるように ON にする電源 ON / OFF 制御回路を有することを特徴とする請求項4に記載の内視鏡。

【請求項 13】

前記基板は、前記内視鏡が前記信号処理装置に着脱自在に接続されるコネクタ内に設けられたコネクタ基板と、前記内視鏡の挿入部の先端部に設けられ、前記撮像素子が接続される先端部基板とを有し、前記配線は前記コネクタ基板と前記先端部基板間を着脱自在に接続することを特徴とする請求項3に記載の内視鏡。

【請求項 14】

前記基板は、前記内視鏡が前記信号処理装置に着脱自在に接続されるコネクタ内に設けられたコネクタ基板と、前記内視鏡の挿入部の先端部に設けられ、前記撮像素子が接続される先端部基板とを有し、前記配線は前記コネクタ基板と前記先端部基板間を着脱自在に接続することを特徴とする請求項 8 に記載の内視鏡。

【請求項 15】

前記基板は、さらに前記内視鏡における前記挿入部の基端に設けられた操作部内に配置された操作部基板を有し、前記配線は前記コネクタ基板と前記操作部基板間を着脱自在に接続する第 1 のケーブルと、前記操作部基板と前記先端部基板間を着脱自在に接続する第 2 のケーブルとを備えて構成されることを特徴とする請求項14に記載の内視鏡。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/073787

A. CLASSIFICATION OF SUBJECT MATTER

A61B1/04(2006.01)i, G02B23/24(2006.01)i, H04N5/228(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

A61B1/04, G02B23/24, H04N5/228

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-29557 A (Pentax Corp.), 14 February 2008 (14.02.2008), paragraphs [0015] to [0044]; fig. 1 to 3 & US 2008/0027284 A1 & DE 102007035620 A	1-6, 11, 14
Y	JP 5-168588 A (Toshiba Corp.), 02 July 1993 (02.07.1993), paragraph [0015]; fig. 1 (Family: none)	1-6, 11, 14
Y	Junji TOKUMOTO, "CCD no Seigyo Gijutsu to Kudo Kairo Sekkei", Transistor Gijutsu, 01 February 2005 (01.02.2005), vol.42, no.5, pages 139 to 149	1-6, 11, 14

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
17 December, 2012 (17.12.12)Date of mailing of the international search report
25 December, 2012 (25.12.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/073787

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 6-157 A (Olympus Optical Co., Ltd.), 11 January 1994 (11.01.1994), paragraphs [0009], [0022] & US 5402769 A & EP 566861 A1 & DE 69319018 C	6
Y	JP 7-194530 A (Olympus Optical Co., Ltd.), 01 August 1995 (01.08.1995), paragraphs [0013] to [0016]; fig. 1 (Family: none)	11
Y	JP 2005-279125 A (Pentax Corp.), 13 October 2005 (13.10.2005), paragraphs [0027] to [0028]; fig. 1 (Family: none)	14

国際調査報告		国際出願番号 PCT/JP2012/073787	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. A61B1/04(2006.01)i, G02B23/24(2006.01)i, H04N5/228(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. A61B1/04, G02B23/24, H04N5/228			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2012年 日本国実用新案登録公報 1996-2012年 日本国登録実用新案公報 1994-2012年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
Y	JP 2008-29557 A (ペンタックス株式会社) 2008.02.14, 【0015】～【0044】、図1～3 & US 2008/0027284 A1 & DE 102007035620 A	1-6, 11, 14	
Y	JP 5-168588 A (株式会社東芝) 1993.07.02, 【0015】、図1 (ファミリーなし)	1-6, 11, 14	
Y	徳本順士, CCDの制御技術と駆動回路設計, トランジスタ技術, 2005.02.01, 第42巻、第5号, 139～149頁	1-6, 11, 14	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技术水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 17.12.2012		国際調査報告の発送日 25.12.2012	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 伊藤 昭治 電話番号 03-3581-1101 内線 3292	2Q 4077

国際調査報告

国際出願番号 PCT/JP2012/073787

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 6-157 A (オリンパス光学工業株式会社) 1994. 01. 11, 【0009】、【0022】 & US 5402769 A & EP 566861 A1 & DE 69319018 C	6
Y	JP 7-194530 A (オリンパス光学工業株式会社) 1995. 08. 01, 【0013】～【0016】、図1 (ファミリーなし)	11
Y	JP 2005-279125 A (ペンタックス株式会社) 2005. 10. 13, 【0027】～【0028】、図1 (ファミリーなし)	14

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC

(72)発明者 橋本 秀範

東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オリパスメディカルシステムズ株式会社内

(72)発明者 田中 靖洋

東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オリパスメディカルシステムズ株式会社内

(72)発明者 松井 泰憲

東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オリパスメディカルシステムズ株式会社内

Fターム(参考) 2H040 BA23 CA04 CA11 FA13 GA02

4C161 BB02 CC06 JJ11 JJ17 LL02 NN01 NN03 SS01 SS03 UU03

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	内视镜		
公开(公告)号	JPWO2013042647A1	公开(公告)日	2015-03-26
申请号	JP2013514487	申请日	2012-09-18
[标]申请(专利权)人(译)	奥林巴斯医疗株式会社		
申请(专利权)人(译)	オリンパスメディカルシステムズ株式会社		
[标]发明人	大河文行 小西純 橋本秀範 田中靖洋 松井泰憲		
发明人	大河 文行 小西 純 橋本 秀範 田中 靖洋 松井 泰憲		
IPC分类号	A61B1/04 G02B23/24		
CPC分类号	H04N5/2253 A61B1/00032 A61B1/04 A61B1/045 G02B23/2469 H04N2005/2255		
FI分类号	A61B1/04.362.J A61B1/04.372 G02B23/24.B		
F-TERM分类号	2H040/BA23 2H040/CA04 2H040/CA11 2H040/FA13 2H040/GA02 4C161/BB02 4C161/CC06 4C161/JJ11 4C161/JJ17 4C161/LL02 4C161/NN01 4C161/NN03 4C161/SS01 4C161/SS03 4C161/UU03		
代理人(译)	伊藤 进 长谷川 靖 ShinoUra修		
优先权	2011207465 2011-09-22 JP		
其他公开文献	JP5298259B1		
外部链接	Espacenet		

摘要(译)

提供一种内窥镜，该内窥镜包括：摄像装置，其安装在插入部的前端部；以及摄像装置。布线，其传输具有用于驱动图像拾取装置的多个不同电源电压的电源，驱动图像拾取装置的驱动信号，从图像拾取装置输出的，由驱动信号驱动的图像拾取信号，以及地面；在基板上设置中继布线的连接器。电压比较部分，其比较多个不同的电源电压；电源控制装置，基于电压比较部的比较结果，控制向摄像装置的电力供应。

